

明 細 書

表示装置およびその駆動方法

5 技術分野

本発明は、複数の放電セルを選択的に放電させて画像を表示する表示装置およびその駆動方法に関する。

背景技術

10 画像を表示する表示装置の分野において、プラズマディスプレイパネル（以下、PDPと略記する。）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このプラズマディスプレイ装置では、画素を構成する放電セルの放電の際の発光を利用することにより画像を表示している。

15 プラズマディスプレイ装置は、駆動形式によりAC型およびDC型に大別される。

図29は、従来のAC型プラズマディスプレイ装置の基本構成を示すブロック図である。

20 図29のプラズマディスプレイ装置900は、アナログ/デジタル変換器（以下、A/Dコンバータと呼ぶ。）910、映像信号-サブフィールド対応付け器920、サブフィールド処理器930、データドライバ940、スキャンドライバ950、サステインドライバ960およびPDP970を備える。

25 A/Dコンバータ910には、アナログの映像信号VDが与えられる。A/Dコンバータ910は、映像信号VDをデジタルの画像データに変換し、映像信号-サブフィールド対応付け器920へ与える。映像信号-サブフィールド対応付け器920は、1フィールドを複数のサブフィールドに分割して表示するため、1フィールドの画像データから各サブフィールドの画像データSPを生成し、サブフィールド処理器930へ与える。

サブフィールド処理器930は、サブフィールドごとの画像データSPからデ

ータドライバ駆動制御信号DS、スキャンドライバ駆動制御信号CSおよびサステインドライバ駆動制御信号USを生成し、それぞれデータドライバ940、スキャンドライバ950およびサステインドライバ960へ与える。

5 PDP970は、複数のアドレス電極（データ電極）911、複数のスキャン電極（走査電極）912および複数のサステイン電極（維持電極）913を含む。複数のアドレス電極911は、画面の垂直方向に配列され、複数のスキャン電極912および複数のサステイン電極913は、画面の水平方向に配列されている。また、複数のサステイン電極913は、共通に接続されている。

10 アドレス電極911、スキャン電極912およびサステイン電極913の各交点には、放電セル914が形成され、各放電セル914が画面上の画素を構成する。

データドライバ940は、PDP970の複数のアドレス電極911に接続されている。スキャンドライバ950は、各スキャン電極912ごとに設けられた駆動回路を内部に備え、各駆動回路がPDP970の対応するスキャン電極912に接続されている。サステインドライバ960は、PDP970の複数のサステイン電極913に接続されている。

データドライバ940は、データドライバ駆動制御信号DSに従い、書き込み期間において、画像データSPに応じてPDP970の該当するアドレス電極911にデータパルス进行印加する。スキャンドライバ950は、スキャンドライバ駆動制御信号CSに従い、書き込み期間において、シフトパルスを垂直走査方向にシフトしつつPDP970の複数のスキャン電極912に書き込みパルスを順に印加する。これにより、該当する放電セル914においてアドレス放電が行われる。

25 また、スキャンドライバ950は、スキャンドライバ駆動制御信号CSに従い、維持期間において、周期的な維持パルスをPDP970の複数のスキャン電極912に印加する。一方、サステインドライバ960は、サステインドライバ駆動制御信号USに従い、維持期間において、PDP970の複数のサステイン電極913に、スキャン電極912の維持パルスに対して180°位相のずれた維持パルスを同時に印加する。これにより、該当する放電セル914において維持放

電が行われる。

図30は、図29のPDP7におけるアドレス電極、スキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図である。

初期化期間には、複数のスキャン電極912に初期セットアップパルスPset  
5 tが同時に印加される。その後、書き込み期間において、映像信号に応じてオンまたはオフするデータパルスPdaが各アドレス電極911に印加され、このデータパルスPdaに同期して複数のスキャン電極912に書き込みパルスPwが順に印加される。これにより、PDP970の選択された放電セル914において順次アドレス放電が起こる。

10 次に、維持期間において、複数のスキャン電極912に維持パルスPscが周期的に印加され、複数のサステイン電極913に維持パルスPsuが周期的に印加される。維持パルスPsuの位相は、維持パルスPscの位相に対して180°ずれている。これにより、アドレス放電に続いて維持放電が起こる。

このようなプラズマディスプレイ装置においては、近年、大画面化および高精  
15 細化に伴う放電セル14の数の増加（画素の増加）が顕著である。放電セル14の数が増加することにより、アドレス放電時に1つのスキャン電極912上に流れるアドレス放電電流のピーク電流値が増大する場合がある。アドレス放電電流のピーク電流値が増大すると、スキャン電極912に印加される書き込みパルスPwに大きな電圧降下が発生する。その結果、アドレス放電が不安定となる。し  
20 たがって、安定したアドレス放電を行うためにはスキャン電極912に印加すべき書き込みパルスPwの電圧SH2を高く設定しなければならない。

これに対し、アドレス放電電流のピーク電流値を低減させる方法として、図29のデータドライバ940を複数に分割し、複数のデータドライバ間でアドレス電極に印加するデータパルスPdaへ位相差を与えるプラズマディスプレイパネ  
25 ルの駆動方法が提案されている（例えば、特開平8-305319号公報参照）。

このプラズマディスプレイパネルの駆動方法について説明する。

図31は複数に分割されたデータドライバにより構成されるプラズマディスプレイ装置のPDP970の表示状態の一例を示す模式図であり、図32はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図である。デ

ータパルス位相差は後述する。

図31において、第1および第2のデータドライバ940a, 940bは図29のサブフィールド処理器930に接続されている。PDP970は、複数のアドレス電極911a, 911bを含む他は図29のPDP970と同様の構成を有する。

第1のデータドライバ940aが図30のデータパルスPdaをアドレス電極911aに印加するタイミングと、第2のデータドライバ940bが図30のデータパルスPdaをアドレス電極911bに印加するタイミングとの間のずれTRについて図32を参照しながら説明する。

以下の説明において、第1および第2のデータドライバ940a, 940bの各々が、データパルスPdaをアドレス電極911a, 911bに印加するタイミングをデータパルス印加タイミングと呼ぶ。また、アドレス電極911aに対するデータパルス印加タイミングとアドレス電極911bに対するデータパルス印加タイミングとのずれTRをデータパルス位相差TRと呼ぶ。

図31では、PDP970上の放電セル914のうち上から第1行目のスキャン電極912f上の放電セル914の全てが発光している。

上から第1行目のスキャン電極912f上の放電セル914を発光させる場合を想定する。図32(a)に示すように、データパルス位相差TRが存在しない場合、アドレス電極911a上の放電セル914とアドレス電極911b上の放電セル914とは、同じタイミングt1でアドレス放電を起こす。それにより、スキャン電極912fには1つのピークを有する放電電流DA2が発生する。

この場合、スキャン電極912fには、アドレス電極911a上の放電セル914およびアドレス電極911b上の放電セル914の放電電流が同時に流れるため、放電電流DA2の振幅AM2は、大きくなる。それにより、スキャン電極912fに印加される書き込みパルスPwに大きな電圧降下E2が発生する。その結果、上述のようにアドレス放電が不安定となる。

これに対し、図32(b)に示すように、データパルス位相差TRが存在する場合、アドレス電極911a上の放電セル914は、タイミングt1でアドレス放電を起こし、アドレス電極911b上の放電セル914は、タイミングt2で

アドレス放電を起こす。それにより、スキャン電極 9 1 2 f には 2 つのピークを有する放電電流 D A 1 が発生する。

この場合、スキャン電極 9 1 2 f には、アドレス電極 9 1 1 a 上の放電セル 9 1 4 の放電電流およびアドレス電極 9 1 1 b 上の放電セル 9 1 4 の放電電流が異なるタイミング  $t_1$ ,  $t_2$  で流れるため、放電電流 D A 1 の振幅 A M 1 は、データパルス位相差 T R が大きくなるにつれて小さくなる。それにより、スキャン電極 9 1 2 f に印加される書き込みパルス P w に発生する電圧降下量 E 1 もデータパルス位相差 T R が大きくなるにつれて小さくなる。したがって、スキャン電極 9 1 2 f に印加すべき書き込みパルス P w の電圧 S H 1 を低く設定した場合でも、安定した放電を確保することができる。換言すれば、データパルス位相差 T R を大きく設定することにより、放電セル 9 1 4 の安定した放電を確保しつつ書き込みパルス P w の電圧（駆動電圧）を低減することができる。

ところで、図 2 9 のプラズマディスプレイ装置 9 0 0 では、P D P 9 7 0 の複数の放電セル 9 1 4 がコンデンサの働きを有する。以下、P D P 9 7 0 の複数の放電セル 9 1 4 の容量をパネル容量と呼ぶ。

上記の書き込み期間において、各アドレス電極 9 1 1 にデータパルス P d a が印加される際のデータドライバ 9 4 0 における回路損失（電力損失）は、パネル容量と各アドレス電極 9 1 1 に印加される駆動電圧の二乗との積に比例する。この関係を数式で表すと次のようになる。

$$P \propto C_p \times V_p^2 \quad \dots (1)$$

上式 (1) において、P は回路損失であり、C p はパネル容量であり、V p は駆動電圧である。この場合、駆動電圧 V p はデータパルス P d a の電圧である。

したがって、書き込み期間におけるプラズマディスプレイ装置 9 0 0 全体の消費電力は、P D P 9 7 0 の大型化（パネル容量の増加）および駆動電圧の上昇にともない増加する。そこで、プラズマディスプレイ装置 9 0 0 の消費電力を低減する（回路損失を低減する）ために電力回収回路が開発されている。

図 3 3 は、従来の電力回収回路の一例を示す回路図である。図 3 3 において、電力回収回路 9 8 0 は図 2 9 のデータドライバ 9 4 0 に内蔵されたデータドライバ集積回路と接続されている。また、データドライバ集積回路は、P D P 9 7 0

の複数のアドレス電極 911 に接続されている。

なお、図 33 では、各アドレス電極 911 により形成される複数の放電セル 914 の容量をアドレス電極容量  $C_{p1} \sim C_{pn}$  とし、これらの総和をパネル容量  $C_p$  として表す。

- 5      電力回収回路 980 は、回収コンデンサ  $C_1$ 、回収コイル  $L$ 、 $N$  チャネル電界効果トランジスタ（以下、トランジスタと略記する。） $Q_1 \sim Q_4$  およびダイオード  $D_1$ 、 $D_2$  を含む。

回収コンデンサ  $C_1$  は、ノード  $N_3$  と接地端子との間に接続されている。ノード  $N_3$  とノード  $N_2$  との間にトランジスタ  $Q_4$  およびダイオード  $D_2$  が直列に接続され、ノード  $N_2$  とノード  $N_3$  との間にダイオード  $D_1$  およびトランジスタ  $Q_3$  が直列に接続されている。

回収コイル  $L$  は、ノード  $N_2$  とノード  $N_1$  との間に接続されている。ノード  $N_1$  と電源端子  $V_1$  との間にトランジスタ  $Q_1$  が接続され、ノード  $N_1$  と接地端子との間にトランジスタ  $Q_2$  が接続されている。

- 15      電源端子  $V_1$  には電源電圧  $V_{da}$  が与えられる。トランジスタ  $Q_1 \sim Q_4$  のゲートには、それぞれ制御信号  $S_1 \sim S_4$  が与えられる。トランジスタ  $Q_1 \sim Q_4$  は制御信号  $S_1 \sim S_4$  に基づいてオン／オフの切替動作を行う。

図 34 は、図 33 の電力回収回路 980 の書き込み期間の動作を示すタイミング図である。図 34 には、図 33 のノード  $N_1$  の電圧  $NV_1$  およびトランジスタ  $Q_1 \sim Q_4$  の各々に印加される制御信号  $S_1 \sim S_4$  の波形が示されている。なお、制御信号  $S_1 \sim S_4$  がハイレベルの場合にトランジスタ  $Q_1 \sim Q_4$  はオンし、制御信号  $S_1 \sim S_4$  がローレベルの場合にトランジスタ  $Q_1 \sim Q_4$  はオフする。

- 25      期間  $T_A$  において、制御信号  $S_3$  はハイレベルであり、制御信号  $S_1$ 、 $S_2$ 、 $S_4$  はローレベルである。これにより、トランジスタ  $Q_3$  がオンし、トランジスタ  $Q_1$ 、 $Q_2$ 、 $Q_4$  がオフする。この場合、回収コンデンサ  $C_1$  がトランジスタ  $Q_3$  およびダイオード  $D_1$  を介して回収コイル  $L$  に接続され、回収コイル  $L$  およびパネル容量  $C_p$  による  $LC$  共振により、ノード  $N_1$  の電圧  $NV_1$  が緩やかに上昇する。このとき、回収コンデンサ  $C_1$  の電荷がトランジスタ  $Q_3$ 、ダイオード  $D_1$  および回収コイル  $L$  を介してパネル容量  $C_p$  へ放出される。

期間TBにおいて、制御信号S1はハイレベルであり、制御信号S2～S4はローレベルである。これにより、トランジスタQ1がオンし、トランジスタQ2～Q4がオフする。この場合、ノードN1の電圧NV1が急激に上昇し、電源電圧Vdaに固定される。

- 5 期間TCにおいて、制御信号S4はハイレベルであり、制御信号S1～S3はローレベルである。これにより、トランジスタQ4がオンし、トランジスタQ1～Q3がオフする。この場合、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が緩やかに下降する。この
- 10 とき、パネル容量Cpに蓄えられた電荷は回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられる。これにより、電力が回収される。

- 期間TDにおいて、制御信号S2はハイレベルであり、制御信号S1, S3, S4はローレベルである。これにより、トランジスタQ2がオンし、トランジスタQ1, Q3, Q4がオフする。この場合、ノードN1が接地端子に接続され、ノードN1の電圧NV1が急激に下降し、接地電位に固定される。
- 15

- このように、電力回収回路980によれば、パネル容量Cpに蓄積された電荷が回収コンデンサC1に回収されるとともに、回収された電荷が再びパネル容量Cpに与えられる。以下、パネル容量Cpより回収コンデンサC1に回収された電
- 20 荷に基づく電力を回収電力と呼ぶ。

これにより、上述の回路損失を低減することが可能となり、プラズマディスプレイ装置900全体の消費電力を低減することができる。なお、図34においては、矢印RQで示す電圧変化が回収電力に相当し、矢印LQで示す電圧変化が回路損失に相当する。

- 25 しかしながら、上述の電力回収回路980によれば、必ずしも十分な電力回収が行われるとは限らない。この理由について、図35および図36に基づき説明する。

図35はPDP7の表示状態の一例を示す模式図であり、図36は図35の表示状態を得るためにアドレス電極に印加されるデータパルスの波形図である。な

お、図 3 5 では図 2 9 の P D P 9 7 0 の一部のみが示されている。

図 3 5 ( a ) では、各アドレス電極 9 1 1 に設けられた 4 つの画素（放電セル）が、上から「黒」、「白」、「黒」、「黒」を表示する一例が示されている。すなわち、P D P 9 7 0 の上から 2 番目の行の画素（放電セル）のみがアドレス放電  
5 する例である。

図 3 3 の電力回収回路 9 8 0 を用いない場合、データパルス P d a は電源からの電力供給により生成される。この場合のデータパルス P d a の波形の一例を図 3 6 ( a ) に示す。図 3 6 ( a ) においては、矢印 L Q で示す電圧変化が回路損失に相当する。

10 電力回収回路 9 8 0 を用いる場合、データパルス P d a は電源からの電力供給および上述のパネル容量 C p からの電力回収により生成される。この場合のデータパルス P d a の波形の一例を図 3 6 ( b ) に示す。図 3 6 ( b ) においては、矢印 L Q で示す電圧変化が回路損失に相当し、矢印 R Q で示す電圧変化が回収電力に相当する。

15 図 3 6 ( a ) および図 3 6 ( b ) によれば、電力回収回路 9 8 0 が用いられることにより、データパルス P d a の生成時のデータドライバ 9 4 0 における回路損失がパネル容量 C p からの回収電力により低減される。

一方、図 3 5 ( b ) では、各アドレス電極 9 1 1 に設けられた 4 つの画素が、上から「白」、「白」、「白」、「白」を表示する一例が示されている。すなわち、P  
20 D P 9 7 0 の全ての画素がアドレス放電する例である。この場合、各アドレス電極 9 1 1 には連続して複数のデータパルス P d a が印加される。

ここで、電力回収回路 9 8 0 を用いずに、連続したデータパルス P d a を 1 つのまとまったデータパルス S P d a として各アドレス電極 9 1 1 に印加する場合を想定する。

25 データパルス P d a , S P d a の波形の一例を図 3 6 ( c ) に示す。図 3 6 ( c ) においては、矢印 L Q が回路損失に相当する。この場合、データパルス S P d a の立ち上がり時にデータドライバ 9 4 0 における回路損失が生じ、個々のデータパルス P d a 間ではデータドライバ 9 4 0 における回路損失が生じない。

続いて、電力回収回路 9 8 0 を用い、連続したデータパルス P d a を各アドレ



ス電極 911 上に印加する場合を想定する。

この場合の連続したデータパルス P d a の波形の一例を図 36 (d) に示す。  
図 36 (d) においては、矢印 L Q で示す電圧変化が回路損失に相当し、矢印 R Q  
Q で示す電圧変化が回収電力に相当する。電力回収回路 980 が用いられた場合、  
5 連続したデータパルス P d a の各々はパネル容量 C p からの電力回収および電源  
からの電力供給により生成される。これにより、個々のデータパルス P d a の立  
ち上がりごとにデータドライバ 940 における回路損失が生じる。

図 36 (c) および図 36 (d) に示されるデータパルス P d a の波形を比較  
する。図 36 (c) では、データパルス S P d a の立ち上がり時に大きい回路損  
10 失が 1 回発生する。一方、図 36 (d) では、各データパルス P d a の立ち上  
がり時に小さい回路損失が 1 回ずつ発生する。これにより、連続して生成されるデ  
ータパルス P d a の数がさらに増加すると、電力回収回路 980 による電力回収  
が行われても、回路損失の十分な低減が図れない。このように、従来の電力回収  
回路 980 では回路損失を十分に低減できない場合があった。

15 特開 2002-156941 号では、図 35 (b) に示すような PDP 970  
の全ての画素がアドレス放電する場合、すなわち、各アドレス電極 911 に連続  
して複数のデータパルス P d a が印加される場合、データパルス P d a のパルス  
振幅を小さくすることで、回路損失を低減する駆動方法を開示している。しかし  
ながら、さらなるアドレス放電の安定化および消費電力の低減が求められている。

20

#### 発明の開示

本発明の目的は、消費電力を十分に低減しつつ安定した放電を行うことができ  
る表示装置およびその駆動方法を提供することである。

本発明の一局面に従う表示装置は、複数群に分類された第 1 の電極と、第 1 の  
25 電極に交差するように設けられた第 2 の電極と、第 1 の電極と第 2 の電極との交  
差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位  
相差が生じるように、それぞれ複数群の第 1 の電極に選択された容量性発光素子  
を発光させるためのデータパルスを印加するドライブ回路とを備え、ドライブ回  
路は、回収用容量性素子と、回収用容量性素子から第 1 の電極に電荷を放出し、

または第1の電極からの電荷を回収用容量性素子に回収することにより、第1の電極にデータパルスを印加するための駆動パルスを印加する印加回路と、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含むものである。

- 5     その表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

10     印加回路においては、アドレス期間に、回収用容量性素子から第1の電極に電荷が放出され、または第1の電極から回収用容量性素子に電荷が回収されることにより、駆動パルスの発生時の消費電力が低減される。

15     また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するよう動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

20     これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

25     これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

本発明の他の局面に従う表示装置は、複数群に分類された第1の電極と、第1の電極に交差するように設けられた第2の電極と、第1の電極と第2の電極との

交差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、ドライブ回路は、誘導性素子と、回収用容量性素子と、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を第1の電極に放出して、または第1の電極から誘導性素子を介して回収用容量性素子へ電荷を回収することにより複数群の第1の電極にデータパルスを印加するための駆動パルスを第1のノードに印加する印加回路と、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含むものである。

その表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

印加回路においては、アドレス期間に、回収用容量性素子から第1の電極に電荷が放出され、または第1の電極から誘導性素子を介して回収用容量性素子に電荷が回収されることにより、駆動パルスの発生時の消費電力が低減される。

また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスが印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

- 5      本発明のさらに他の局面に従う表示装置は、複数群に分類された第1の電極、第1の電極に交差するように設けられた第2の電極および第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、
- 10      ドライブ回路は、第1の電源電圧を受ける第1の電源端子と、誘導性素子と、回収用容量性素子と、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を放出して第1のノードの電位を立ち上げ、第1のノードと第1の電源端子とを接続した後、第1のノードと第1の電源端子との接続を遮断し、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷を
- 15      回収して第1のノードの電位を立ち下げることにより、複数群の第1の電極にデータパルスを印加するための駆動パルスを第1のノードに印加する印加回路と、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限する電位制限回路とを含むものである。
- 20      その表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

- 印加回路においては、アドレス期間に表示パネルの容量と誘導性素子との共振
- 25      動作により回収用容量性素子から電荷が放出されて第1のノードの電位が立ち上げられる。そして、第1のノードと第1の電源端子とが接続されることにより、第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のノードと第1の電源端子との接続が遮断され、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷が回収されて第1のノードの電位が立ち

下げられる。これにより、複数群の第1の電極にデータパルスを印加するための駆動パルスが第1のノードに印加される。

このように、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収されるので、駆動パルスの発生時の消費電力が低減される。

また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

誘導性素子は、第1のノードと第2のノードとの間に設けられ、回収用容量性素子は、第3のノードに接続され、電位制限回路は、第3のノードの電位を制限することにより、回収用容量素子の電位が所定値を超えないように制限し、印加回路は、第1の電源端子と第1のノードとの間に設けられた第1のスイッチング素子と、接地電位を受ける接地端子と第1のノードとの間に設けられた第2のスイッチング素子と、第2のノードと第3のノードとの間に設けられた第3のスイッチング素子と、第2のノードと第3のノードとの間に設けられた第4のスイッ

チング素子とを含み、表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、第3のスイッチング素子がオンすることにより回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出され、第1のノードの電位が立ち上がり、第3のスイッチング素子がオフして、第1のスイッチング素子がオンすることにより第1のノードの電位が第1の電源電圧に立ち上がり、第1のスイッチング素子がオフして、第4のスイッチング素子がオンすることにより第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収されて第1のノードの電位が立ち下がることにより、駆動パルスが発生してもよい。

この場合、印加回路においては、アドレス期間に第3のスイッチング素子がオンすることにより表示パネルの容量と誘導性素子との共振動作が行われ、回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出される。そして、第3のスイッチング素子がオフして、第1のスイッチング素子がオンすることにより第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のスイッチング素子がオフして、第4のスイッチング素子がオンすることにより表示パネルの容量と誘導性素子との共振動作が行われ、第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収される。その結果駆動パルスが発生される。

このように、印加回路においては、表示パネルの容量と誘導性素子との共振動作が第1のスイッチング素子、第3のスイッチング素子および第4のスイッチング素子の各々のオン／オフの切り替わりにより行われるので、駆動パルスの発生を各スイッチの切り替わりにより容易に制御することができる。

また、電位制限回路により、回収用容量性素子に接続された第3のノードの電位が第1の電源電圧よりも低い所定値を超えないように制限される。それにより、連続する駆動パルスの波形が分離される。

ドライブ回路は、第1の電極に対応して設けられる第1のスイッチング回路をさらに含み、第1のスイッチング回路がオンすることにより、第1のノードと第1の電極との間で電荷の回収および放出が行われ、第1のスイッチング回路がオフすることにより、対応する第1の電極が接地電位に設定されるように動作してもよい。

これにより、第1のスイッチング回路の各々のオン／オフを切り替えることにより、表示パネルの複数の容量性発光素子の発光および非発光の切り替わりを制御することができる。

また、第1のスイッチング回路の各々のオン／オフの切り替え回数の総数が少ないほど、回収用容量性素子に発生する電圧が高くなるとともに、電位制限回路により回収用容量性素子に発生する電圧が所定値を超えないように制限される。

電位制限回路は、第1の電源電圧と接地電位との間の電圧を分割することにより所定値にほぼ等しい電位を生成する分割回路と、第3のノードと接地端子との間に接続されるとともに分割回路により生成される電位を制御信号として受け、  
10 第3のノードの電位が所定値を超える場合にオンする第2のスイッチング回路とを含んでもよい。

この場合、分割回路により第1の電源電圧と接地電位との間の電圧が分割され、所定値にほぼ等しい電位が生成される。また、第3のノードと接地端子との間に接続される第2のスイッチング回路が、分割回路により生成される電位を制御  
15 信号として受け、第3のノードの電位が所定値を超える場合にオンすることにより、第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電位が所定値を超えない。

電位制限回路は、所定値にほぼ等しい第2の電源電圧を受ける第2の電源端子  
20 と、第3のノードと接地端子との間に接続されるとともに第2の電源端子が受ける第2の電源電圧を制御信号として受け、第3のノードの電位が所定値を超える場合にオンする第2のスイッチング回路とを含んでもよい。

この場合、第2の電源端子に所定値にほぼ等しい第2の電源電圧が与えられる。また、第3のノードと接地端子との間に接続される第2のスイッチング回路が  
25 、第2の電源電圧を制御信号として受け、第3のノードの電位が所定値を超える場合にオンすることにより、第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電圧が所定値を超えない。

第2のスイッチング回路は、第3のノードと第4のノードとの間に設けられ、

第3のノードから第4のノードへ電流を流す一方向性導通素子と、第4のノードと接地端子との間に設けられ、制御信号を受ける制御端子を有する第5のスイッチング素子とを含んでもよい。

5 この場合、第3のノードの電位が所定値を超えた場合に、第5のスイッチング素子がオンし、一方向性導通素子および第5のスイッチング素子を通して第3のノードから接地端子へ電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電圧が所定値を超えない。

10 電位制限回路は、第3のノードと接地端子との間に設けられ、第3のノードの電位が所定値を超える場合に第3のノードから接地端子に電流を流す一方向性導通素子を含んでもよい。

この場合、第3のノードと接地端子との間に設けられる一方向性導通素子により、第3のノードの電位が所定値を超える場合に第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電圧が所定値を超えない。また、構成が容易となる。

15 一方向性導通素子は、ツェナーダイオードであってもよい。これにより、構成が容易となる。

第1のスイッチング素子をオンするために、第1のノードの電位よりも高い電位を発生するチャージポンプ回路をさらに備えてもよい。この場合、チャージポンプ回路により第1のノードの電位よりも高い電位が発生され、第1のスイッチング素子がオンされる。

20 チャージポンプ回路は、第1のノードと第5のノードとの間に設けられる充電用容量素子と、第3の電源電圧を受ける第3の電源端子と第5のノードとの間に設けられ、第2の電源端子から第5のノードに電流を流す一方向性導通素子と、第1のノードの電位に第5のノードの電位を加算し、加算された電位を第1のスイッチング素子に制御信号として出力する制御信号出力回路とを含んでもよい。

この場合、一方向性導通素子により第2の電源端子から第5のノードに電流が流され、制御信号出力回路により第1のノードの電位に第5のノードの電位が加算され、加算された電位が第1のスイッチング素子に制御信号として出力される。



所定値は、第1の電源電圧の2分の1よりも高く、第1の電源電圧の5分の4以下であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

5 位相差は、200 ns以上であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

ドライブ回路を複数有し、複数のドライブ回路は複数群にそれぞれ対応して設けられ、複数のドライブ回路は、複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルス  
10 スを印加してもよい。

この場合、選択された容量性発光素子を発光させるためのデータパルスは、複数群にそれぞれ対応して設けられた複数のドライブ回路により複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極に印加される。これにより、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、  
15 ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において発光電流による電圧降下が低減される。したがって、発光素子が低い駆動電圧で安定に発光することが可能となる。

第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数  
20 回数を検出する回数検出部をさらに備え、ドライブ回路は、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率を算出し、比率が所定の比率値よりも大きい場合に、第1のノードの電位を所定の電圧値まで立ち下げた後、第1のノードを接地するように印加回路の動作を制御する制御部をさらに含んでもよい。

25 この場合、回数検出部により、複数群に分類された第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数が検出される。そして、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率が制御部により算出され、算出された比率と所定の比率値との比較が行われる。

さらに、算出された比率が所定の比率値よりも大きい場合に第1のノードの電位が所定の電圧値まで立ち下げられた後、第1のノードが接地されるように印加回路の動作が制御される。

ここで、印加回路においては、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率に応じて消費電力が変化する。すなわち、算出された比率が所定の比率値よりも大きい場合には、第1のノードが接地されることにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

10     1フィールドを複数のサブフィールドに分割してサブフィールドごとに選択された容量性発光素子を放電させて階調表示を行うために、1フィールドの画像データを各サブフィールドの画像データに変換する変換部をさらに備え、回数検出部は、変換部から与えられる画像データに基づいて各サブフィールドごとの回数を検出し、制御部は、各サブフィールドにおけるデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により得られた回数の比率を算出し、比率が所定の比率値よりも大きい場合に、第1のノードの電位を所定の電圧値まで立ち下げた後、第1のノードを接地するように印加回路の動作を制御してもよい。

20     この場合、変換部により1フィールドの画像データが複数のサブフィールドの画像データに変換される。これにより、1フィールドを複数のサブフィールドに分割してサブフィールドごとに選択された容量性発光素子を放電させて階調表示を行うことが可能となる。

25     複数のサブフィールドの各々においては、回数検出部により、複数群に分類された第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数が検出される。そして、各サブフィールドにおけるデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率が制御部により算出され、算出された比率と所定の比率値との比較が行われる。

さらに、算出された比率が所定の比率値よりも大きい場合に第1のノードの電

位が所定の電圧値まで立ち下げられた後、第1のノードが接地されるように印加回路の動作が制御される。したがって、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

- 5 所定の比率値は95%以上であってもよい。これにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

- 10 本発明のさらに他の局面に従う表示装置の駆動方法は、複数群に分類された第1の電極、第1の電極に交差するように設けられた第2の電極および第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を備える表示パネルを含む表示装置の駆動方法であって、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するステップを備え、データパルスを印加するステップは、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を放出して第1のノードの電位を立ち上げ、第1のノードと第1の電源端子とを接続し、  
15 した後、第1のノードと第1の電源端子との接続を遮断し、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷を回収して第1のノードの電位を立ち下げることにより、複数群の第1の電極にデータパルスを印加するための駆動パルスを第1のノードに印加するステップと、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が第1の電源電  
20 圧よりも低い所定値を超えないように制限するステップとを含むものである。

その表示装置の駆動方法においては、表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

- 25 このようなデータパルスの複数群の第1の電極への印加時においては、アドレス期間に表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷が放出されて第1のノードの電位が立ち上げられる。そして、第1のノードと第1の電源端子とが接続されることにより、第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のノードと第1の電源端子との接続が遮断され、共振動作により第1のノードから誘導性素子を介して回収用容量性素

子へ電荷が回収されて第1のノードの電位が立ち下げられる。これにより、複数群の第1の電極にデータパルスを印加するための駆動パルスが第1のノードに印加される。

5      このように、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収されるので、駆動パルスの発生時の消費電力が低減される。

10      また、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作され、回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

15      複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスが印加されることにより、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

20      これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

25      第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数を検出するステップと、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する検出された回数の比率を算出し、比率が所定の比率値よりも大きい場合に、第1のノードの電位を所定の電圧値まで立ち下げた後、第1のノードを接地するように印加回路の動作を制御するステップとをさらに備えてもよい。

この場合、複数群に分類された第1の電極に印加されるデータパルスの立ち上

がりの回数または立ち下りの回数が検出される。そして、データパルスの立ち上がり可能な最大の回数または立ち下り可能な最大の回数に対する回数検出部により検出された回数の比率が算出され、算出された比率と所定の比率値との比較が行われる。

- 5 さらに、算出された比率が所定の比率値よりも大きい場合に第1のノードの電位が所定の電圧値まで立ち下げられた後、第1のノードが接地されるように印加回路の動作が制御される。

- ここで、その表示装置においては、データパルスの立ち上がり可能な最大の回数または立ち下り可能な最大の回数に対する回数検出部により検出された回数  
10 の比率に応じて消費電力が変化する。すなわち、算出された比率が所定の比率値よりも大きい場合には、第1のノードが接地されることにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

- 所定の比率値は95%以上であってもよい。これにより、表示パネルの複数の  
15 容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

所定値は、第1の電源電圧の2分の1よりも高く、第1の電源電圧の5分の4以下であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

20

#### 図面の簡単な説明

図1は、第1の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図

- 図2は、図1のアドレス電極、スキャン電極およびサステイン電極に与えられ  
25 る駆動電圧の一例を示すタイミング図

図3は、図1のプラズマディスプレイ装置に用いられるADS方式を説明するための説明図

図4は、図1のPDPの表示状態の一例を示す模式図であり、図5はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図

図 5 は、データパルス位相差に対するアドレス放電電流の依存性を説明するための図

図 6 は、図 1 の第 1 のデータドライバ群、第 1 の電力回収回路および P D P の回路図

5 図 7 は、図 1 の第 1 および第 2 の電力回収回路の書き込み期間の動作を示すタイミング図

図 8 は、P D P の表示状態の一例を示す模式図

図 9 は、図 8 の表示状態を得る場合の図 6 のノード N 1 の電圧、アドレス電極に印加されるデータパルスおよび第 1 のデータドライバ群に与えられる制御パルスのタイミングを示す図

図 10 は、図 8 の表示状態を得る場合の図 6 のノード N 1 の電圧、アドレス電極に印加されるデータパルスおよび第 1 のデータドライバ群に与えられる制御パルスのタイミングを示す図

図 11 は、図 8 の表示状態を得る場合の図 6 のノード N 1 の電圧、アドレス電極に印加されるデータパルスおよび第 1 のデータドライバ群に与えられる制御パルスのタイミングを示す図

図 12 は、図 6 の回収電位クランプ回路の働きを説明するための図

図 13 は、図 6 の回収電位クランプ回路の働きを説明するための図

図 14 は、書き込み期間における図 6 のノード N 3 の回収電位の変化を示す波形図

図 15 は、図 14 の回収電位と各サブフィールドごとの制御パルスの累積立ち上がり数との関係を示すグラフ

図 16 は、図 6 の第 1 の電力回収回路に設けられるチャージポンプ回路の一例を示す回路図

図 17 は、図 1 のプラズマディスプレイ装置の駆動マージンとデータパルス位相差との関係を説明するためのグラフ

図 18 は、「全白」の画像が表示されるとき書き込み電圧と位相差との関係を示すグラフ

図 19 は、「全白」の画像が表示されるとき書き込み電圧と限界電圧との関

係を示すグラフ

図 20 は、第 1 の実施の形態に係るプラズマディスプレイ装置の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフ

図 21 は、第 2 の実施の形態に係る第 1 のデータドライバ群、第 1 の電力回収回路および PDP の回路図

図 22 は、第 3 の実施の形態に係る第 1 のデータドライバ群、第 1 の電力回収回路および PDP の回路図

図 23 は、第 4 の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図

図 24 は、第 4 の実施の形態に係るサブフィールド処理器の構成を説明するためのブロック図

図 25 は、制御信号により電力回収の方式が切り替えられた場合の図 23 の第 1 および第 2 の電力回収回路の書き込み期間の動作を示すタイミング図

図 26 は、第 4 の実施の形態に係るプラズマディスプレイ装置の回収電位と各サブフィールドごとの制御パルスの累積立ち上がり数との関係を示すグラフ

図 27 は、第 4 の実施の形態に係るプラズマディスプレイ装置の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフ

図 28 は、各サブフィールドごとの立ち上がり比率が 100% の場合（トリオ市松の場合）の無回収型プラズマディスプレイ装置、従来回収型プラズマディスプレイ装置および第 1 の実施の形態に係るプラズマディスプレイ装置の消費電力を比較するための図

図 29 は、従来の AC 型プラズマディスプレイ装置の基本構成を示すブロック図

図 30 は、図 29 の PDP におけるアドレス電極、スキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図

図 31 は、複数に分割されたデータドライバにより構成されるプラズマディスプレイ装置の PDP の表示状態の一例を示す模式図

図 32 は、データパルス位相差に対するアドレス放電電流の依存性を説明するための図

図 3 3 は、従来の電力回収回路の一例を示す回路図

図 3 4 は、図 3 3 の電力回収回路の書き込み期間の動作を示すタイミング図

図 3 5 は、PDP の表示状態の一例を示す模式図

図 3 6 は、図 3 5 の表示状態を得るためにアドレス電極に印加されるデータバ

5 ルスの波形図

発明を実施するための最良の形態

以下、本発明に係る表示装置およびその駆動方法の一例としてプラズマディスプレイ装置およびその駆動方法について図 1 ～図 2 8 に基づき説明する。

10 (第 1 の実施の形態)

図 1 は、第 1 の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図である。

図 1 のプラズマディスプレイ装置 100 は、アナログ／デジタル変換器（以下、A/D コンバータと呼ぶ。）1、映像信号－サブフィールド対応付け器 2、サブ  
15 フィールド処理器 3、第 1 のデータドライバ群 4 a、第 2 のデータドライバ群 4 b、スキャンドライバ 5、サステインドライバ 6、プラズマディスプレイパネル（以下、PDP と略記する。）7、第 1 の電力回収回路 8 a および第 2 の電力回収回路 8 b を備える。

A/D コンバータ 1 には、アナログの映像信号 VD が与えられる。A/D コン  
20 バータ 1 は、映像信号 VD をデジタルの画像データに変換し、映像信号－サブフィールド対応付け器 2 へ与える。

映像信号－サブフィールド対応付け器 2 は、1 フィールドを複数のサブフィールドに分割して表示するため、1 フィールドの画像データから各サブフィールドの画像データ SP を生成し、サブフィールド処理器 3 へ与える。なお、本実施の  
25 形態に係るプラズマディスプレイ装置 100 では、階調表示駆動方式として、アドレス・表示期間分離方式（以下、ADS 方式と略記する。）が用いられている。ADS 方式の詳細については後述する。

サブフィールド処理器 3 は、上記サブフィールドの画像データ SP からデータドライバ制御信号 DS a、DS b、電力回収回路制御信号 H a、H b、スキャン



ドライバ制御信号CSおよびサステインドライバ制御信号USを生成する。

データドライバ制御信号DSa, DSbは、それぞれ第1のデータドライバ群4aおよび第2のデータドライバ群4bへ与えられる。電力回収回路制御信号Ha, Hbは、それぞれ第1の電力回収回路8aおよび第2の電力回収回路8bへ与えられる。スキャンドライバ制御信号CSはスキャンドライバ5へ与えられ、サステインドライバ制御信号USはサステインドライバ6へ与えられる。

第1のデータドライバ群4aおよび第2のデータドライバ群4bの各々は、図示しない複数のデータドライバ集積回路および複数のモジュールから構成されている。第1のデータドライバ群4aは、サブフィールド処理器3、第1の電力回収回路8aおよびPDP7に接続され、第2のデータドライバ群4bは、サブフィールド処理器3、第2の電力回収回路8bおよびPDP7に接続されている。また、スキャンドライバ5およびサステインドライバ6の各々はPDP7に接続されている。

PDP7は、複数のアドレス電極（データ電極） $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$ 、複数のスキャン電極（走査電極） $12_1 \sim 12_m$  および複数のサステイン電極（維持電極） $13_1 \sim 13_m$ を含む。mおよびnは、それぞれ任意の整数である。複数のアドレス電極 $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$ は画面の垂直方向に配列され、複数のスキャン電極 $12_1 \sim 12_m$  および複数のサステイン電極 $13_1 \sim 13_m$ は画面の水平方向に配列されている。なお、複数のサステイン電極 $13_1 \sim 13_m$ は共通に接続されている。図1において、アドレス電極 $41_1 \sim 41_n$ は画面の左側に配列されており、アドレス電極 $42_1 \sim 42_n$ は画面の右側に配列されている。

アドレス電極 $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$ 、スキャン電極 $12_1 \sim 12_m$  およびサステイン電極 $13_1 \sim 13_m$ の各交点には、放電セル14が形成されている。放電セル14の各々が画面上の画素を構成する。図1において、画面上の放電セル14は「m行2n列」となるように配列されている。

複数のアドレス電極 $41_1 \sim 41_n$ は第1のデータドライバ群4aに接続され、複数のアドレス電極 $42_1 \sim 42_n$ は第2のデータドライバ群4bに接続されている。また、複数のスキャン電極 $12_1 \sim 12_m$ はスキャンドライバ5に接続さ

れ、複数のサステイン電極  $13_1 \sim 13_m$  はサステインドライバ6に接続されている。

ここで、スキャンドライバ5は、各スキャン電極  $12_1 \sim 12_m$  ごとに設けられた駆動回路を内部に備え、各駆動回路がPDP7の対応するスキャン電極  $12_1 \sim 12_m$  に接続されている。

第1のデータドライバ群4aは、データドライバ制御信号DSaに従い、書き込み期間において画像データSPに応じてPDP7の該当するアドレス電極  $41_1 \sim 41_n$  にデータパルス进行印加する。なお、第1のデータドライバ群4aの複数のデータドライバ集積回路の電源端子には、上記データパルスを生成するために、第1の電力回収回路8aの出力が供給される。第1の電力回収回路8aは電力回収回路制御信号Haに従って動作する。書き込み期間における第1のデータドライバ群4aおよび第1の電力回収回路8aの動作の詳細については後述する。

第2のデータドライバ群4bは、データドライバ制御信号DSbに従い、書き込み期間において画像データSPに応じてPDP7の該当するアドレス電極  $42_1 \sim 42_n$  のいずれかにデータパルスを印加する。なお、第2のデータドライバ群4bの複数のデータドライバ集積回路の電源端子には、上記データパルスを生成するために、第2の電力回収回路8bの出力が供給される。第2の電力回収回路8bは電力回収回路制御信号Hbに従って動作する。書き込み期間における第2のデータドライバ群4bおよび第2の電力回収回路8bの動作の詳細は、後述する第1のデータドライバ群4aおよび第1の電力回収回路8aの動作の詳細と同様である。

スキャンドライバ5は、スキャンドライバ制御信号CSに従い、初期化期間において、初期セットアップパルスをPDP7の全てのスキャン電極  $12_1 \sim 12_m$  に同時に印加する。その後、書き込み期間においてシフトパルスを垂直走査方向にシフトしつつPDP7の複数のスキャン電極  $12_1 \sim 12_m$  に書き込みパルスを順に印加する。これにより、選択された放電セル14においてアドレス放電が行われる。

また、スキャンドライバ5は、スキャンドライバ制御信号CSに従い、維持期間において、周期的な維持パルスをPDP7の複数のスキャン電極  $12_1 \sim 12_m$  に印加する。

5  $m$  に印加する。一方、サステインドライバ6は、サステインドライバ制御信号USに従い、維持期間において、PDP7の複数のサステイン電極 $13_1 \sim 13_m$ に、スキャン電極 $12_1 \sim 12_m$ の維持パルスに対して $180^\circ$ 位相のずれた維持パルスを同時に印加する。これにより、アドレス放電が行われた放電セル14

図2は、図1のアドレス電極、スキャン電極およびサステイン電極に与えられる駆動電圧の一例を示すタイミング図である。

図2において、初期化期間P1には、複数のスキャン電極 $12_1 \sim 12_m$ に初期セットアップパルスPsetが同時に印加される。その後、書き込み期間P2  
10 において、映像信号に応じてオンまたはオフするデータパルスPdaが各アドレス電極 $41_1 \sim 41_n$ 、 $42_1 \sim 42_n$ に印加され、このデータパルスPdaに同期して複数のスキャン電極 $12_1 \sim 12_m$ に書き込みパルスPwが順に印加される。これにより、PDP1の選択された放電セル14において順次アドレス放電が起こる。

15 なお、本実施の形態では図2に示すように、第1のデータドライバ群4aによりデータパルスPdaがアドレス電極 $41_1 \sim 41_n$ に印加されるタイミングと第2のデータドライバ群4bによりデータパルスPdaがアドレス電極 $42_1 \sim 42_n$ に印加されるタイミングとの間でずれTRが生じている。ずれTRの詳細については後述する。

20 次に、維持期間P3において、複数のスキャン電極 $12_1 \sim 12_m$ に維持パルスPscが周期的に印加され、複数のサステイン電極 $13_1 \sim 13_m$ に維持パルスPsuが周期的に印加される。維持パルスPsuの位相は、維持パルスPscの位相に対して $180^\circ$ ずれている。これにより、アドレス放電に続いて維持放電が起こる。

25 上述のように、本実施の形態に係るプラズマディスプレイ装置100では、階調表示駆動方式としてADS方式が用いられている。ここで、ADS方式について説明する。図3は、図1のプラズマディスプレイ装置100に用いられるADS方式を説明するための説明図である。

ADS方式では、1フィールド( $1/60$ 秒 $=16.67$ ms)を複数のサブ

フィールドに時間的に分割する。例えば、8ビットで256階調表示を行う場合には、1フィールドを8つのサブフィールドSF1～SF8に分割する。また、各サブフィールドSF1～SF8は、初期化期間P1、書き込み期間P2および維持期間P3に分離される。各サブフィールドSF1～SF8においては、図2  
 5 の例と同様に、初期化期間P1に各サブフィールドのセットアップ処理が行われ、書き込み期間P2に点灯される放電セル14を選択するためのアドレス放電が行われ、維持期間P3に表示のための維持放電が行われる。

サブフィールドSF1～SF8の維持期間P3には、それぞれ輝度（明るさ）が重み付けされている。各サブフィールドSF1～SF8の維持期間P3におい  
 10 ては、重み付けされた輝度に応じた数の維持パルスがスキャン電極12<sub>1</sub>～12<sub>m</sub>およびサステイン電極13<sub>1</sub>～13<sub>m</sub>へ印加される。例えば、サブフィールドSF1では、サステイン電極13<sub>1</sub>～13<sub>m</sub>に維持パルスが1回印加され、スキャン電極12<sub>1</sub>～12<sub>m</sub>に維持パルスが1回印加され、書き込み期間P2において選択された放電セル14が2回維持放電を行う。また、サブフィールドSF2  
 15 では、サステイン電極13<sub>1</sub>～13<sub>m</sub>に維持パルスが2回印加され、スキャン電極12<sub>1</sub>～12<sub>m</sub>に維持パルスが2回印加され、書き込み期間P2において選択された放電セル14が4回維持放電を行う。

このように、サブフィールドSF1～SF8では、それぞれ、1、2、4、8、16、32、64および128の輝度の重み付けがなされ、これらのサブフィー  
 20 ルドSF1～SF8を組み合わせることにより、輝度のレベルを0～255までの256段階で調整することができる。なお、サブフィールドの分割数および重み付け値等は、上記の例に特に限定されず、種々の変更が可能であり、例えば、動画疑似輪郭を低減するために、サブフィールドSF8を2つに分割して2つのサブフィールドの重み付け値を64に設定してもよい。

25 続いて、図2のデータパルスPdaをアドレス電極41<sub>1</sub>～41<sub>n</sub>に印加するタイミングとデータパルスPdaをアドレス電極42<sub>1</sub>～42<sub>n</sub>に印加するタイミングとの間のずれTRについて説明する。

以下の説明において、データパルスPdaをアドレス電極41<sub>1</sub>～41<sub>n</sub>、42<sub>1</sub>～42<sub>n</sub>に印加するタイミングをデータパルス印加タイミングと呼び、アド

レス電極  $4\ 1_1 \sim 4\ 1_n$  に対するデータパルス印加タイミングとアドレス電極  $4\ 2_1 \sim 4\ 2_n$  に対するデータパルス印加タイミングとのずれ  $TR$  をデータパルス位相差  $TR$  と呼ぶ。

図4は図1のPDP7の表示状態の一例を示す模式図であり、図5はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図である。

図4においては、PDP7上の放電セル14のうちスキャン電極  $1\ 2_1$  上の放電セル14の全てが発光している。

ここで、図4のPDP7の表示状態を実現する際にデータパルス位相差  $TR$  が存在しない場合について説明する。図5(a)に示すようにデータパルス位相差  $TR$  が存在しない場合、アドレス電極  $4\ 1_1 \sim 4\ 1_n$  上の放電セル14とアドレス電極  $4\ 1_1 \sim 4\ 1_n$  上の放電セル14とアドレス電極  $4\ 2_1 \sim 4\ 2_n$  上の放電セル14とは、同じタイミング  $t_1$  でアドレス放電を起こす。それにより、スキャン電極  $1\ 2_1$  には1つのピークを有する放電電流  $DA\ 2$  が発生する。

この場合、スキャン電極  $1\ 2_1$  には、アドレス電極  $4\ 1_1 \sim 4\ 1_n$  上の放電セル14およびアドレス電極  $4\ 2_1 \sim 4\ 2_n$  上の放電セル14の放電電流が同時に流れるため、放電電流  $DA\ 2$  の振幅  $AM\ 2$  は、大きくなる。それにより、スキャン電極  $1\ 2_1$  に印加される書き込みパルス  $Pw$  に大きな電圧降下  $E\ 2$  が発生する。その結果、アドレス放電が不安定となる。したがって、安定したアドレス放電を行うためにはスキャン電極  $1\ 2_1$  に印加すべき書き込みパルス  $Pw$  の電圧  $SH\ 2$  を高く設定しなければならない。

次に、図4のPDP7の表示状態を実現する際にデータパルス位相差  $TR$  が存在する場合について説明する。図5(b)に示すように、データパルス位相差  $TR$  が存在する場合、アドレス電極  $4\ 1_1 \sim 4\ 1_n$  上の放電セル14は、タイミング  $t_1$  でアドレス放電を起こし、アドレス電極  $4\ 2_1 \sim 4\ 2_n$  上の放電セル14は、タイミング  $t_2$  でアドレス放電を起こす。それにより、スキャン電極  $1\ 2_1$  には2つのピークを有する放電電流  $DA\ 1$  が発生する。

この場合、スキャン電極  $1\ 2_1$  には、アドレス電極  $4\ 1_1 \sim 4\ 1_n$  上の放電セル14の放電電流およびアドレス電極  $4\ 2_1 \sim 4\ 2_n$  上の放電セル14の放電電流が異なるタイミングで流れるため、放電電流  $DA\ 1$  の振幅  $AM\ 1$  は、データパ

ルス位相差  $T_R$  が大きくなるにつれて小さくなる。それにより、スキャン電極  $12_1$  に印加される書き込みパルス  $P_w$  に発生する電圧降下量  $E_1$  もデータパルス位相差  $T_R$  が大きくなるにつれて小さくなる。したがって、スキャン電極  $12_1$  に印加すべき書き込みパルス  $P_w$  の電圧  $S_H1$  を低く設定した場合でも、安定した放電を確保することができる。換言すれば、データパルス位相差  $T_R$  を大きく設定することにより、放電セル  $14$  の安定した放電を確保しつつ書き込みパルス  $P_w$  の電圧（駆動電圧）を低減することができ、後述の駆動マージンが拡大される。

このように、本実施の形態に係るプラズマディスプレイ装置  $100$  では、第  $1$  のデータドライバ群  $4a$  および第  $2$  のデータドライバ群  $4b$  によるアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  へのデータパルス  $P_{da}$  の印加時にデータパルス位相差  $T_R$  が発生する。これにより、放電セル  $14$  の安定した放電を確保しつつ書き込みパルス  $P_w$  の電圧（駆動電圧）を低減することができ、後述の駆動マージンが拡大される。

書き込み期間における図  $1$  の第  $1$  のデータドライバ群  $4a$ 、第  $1$  の電力回収回路  $8a$  および  $PDP7$  の構成および動作の詳細について図  $6 \sim$  図  $16$  に基づき説明する。

図  $6$  は図  $1$  の第  $1$  のデータドライバ群  $4a$ 、第  $1$  の電力回収回路  $8a$  および  $PDP7$  の回路図である。上述のように第  $1$  の電力回収回路  $8a$  は第  $1$  のデータドライバ群  $4a$  を介して  $PDP7$  の複数のアドレス電極  $41_1 \sim 41_n$  に接続されている。図  $6$  では、 $PDP7$  において各アドレス電極  $41_1 \sim 41_n$  に設けられた複数の放電セル  $14$  の容量をアドレス電極容量  $C_{p1} \sim C_{pn}$  とし、これらの総和をパネル容量  $C_p$  として表す。

図  $6$  によれば、第  $1$  の電力回収回路  $8a$  は、回収コンデンサ  $C1$ 、回収コイル  $L$ 、 $N$  チャネル電界効果トランジスタ（以下、トランジスタと略記する。） $Q1 \sim Q4$ 、ダイオード  $D1$ ,  $D2$  および回収電位クランプ回路  $80$  を含む。回収電位クランプ回路  $80$  は、抵抗  $R1$ ,  $R2$ ,  $R3$ 、ダイオード  $D3$ ,  $D4$  およびバイポーラトランジスタ（以下、トランジスタと略記する。） $Q5$  を含む。

回収コンデンサ  $C1$  は、ノード  $N3$  と接地端子との間に接続されている。ノー

ドN 3とノードN 2との間にトランジスタQ 3およびダイオードD 1が直列に接続され、ノードN 2とノードN 3との間にダイオードD 2およびトランジスタQ 4が直列に接続されている。

5 回収コイルLは、ノードN 2とノードN 1との間に接続されている。ノードN 1と電源端子V 1との間にトランジスタQ 1が接続され、ノードN 1と接地端子との間にトランジスタQ 2が接続されている。

回収電位クランプ回路8 0において、ノードN 3とノードN 4との間にはダイオードD 3が接続され、ノードN 4はトランジスタQ 5のエミッタに接続され、トランジスタQ 5のコレクタは抵抗R 3を介して接地端子に接続されている。電源端子V 1とノードN 5との間に抵抗R 1が接続され、ノードN 5と接地端子との間に抵抗R 2が接続されている。ノードN 5はトランジスタQ 5のベースに接続されている。ノードN 5とノードN 4との間にはダイオードD 4が接続されている。

第1のデータドライバ群4 aは、複数のPチャネル電界効果トランジスタ（以下、トランジスタと略記する。） $Q 1_1 \sim Q 1_n$ 、複数のNチャネル電界効果トランジスタ（以下、トランジスタと略記する。） $Q 2_1 \sim Q 2_n$ を含む。第1の電力回収回路8 aのノードN 1とノード $ND_1 \sim ND_n$ の間には、それぞれトランジスタ $Q 1_1 \sim Q 1_n$ が接続されている。ノード $ND_1 \sim ND_n$ と接地端子の間には、それぞれトランジスタ $Q 2_1 \sim Q 2_n$ が接続されている。複数のトランジスタ $Q 1_1 \sim Q 1_n$ 、 $Q 2_1 \sim Q 2_n$ のゲートには、図1のサブフィールド処理器3のデータドライバ制御信号 $DS a$ に基づいて生成される制御パルス $S a_1 \sim S a_n$ が与えられる。

第1のデータドライバ群4 aのノード $ND_1 \sim ND_n$ には、それぞれPDP 7のアドレス電極 $4 1_1 \sim 4 1_n$ が接続されている。アドレス電極 $4 1_1 \sim 4 1_n$ と接地端子の間にはそれぞれアドレス電極容量 $C p_1 \sim C p_n$ が形成されている。第1の電力回収回路8 aのノードN 1と接地端子の間には、浮遊容量 $C f$ が存在する。

第2のデータドライバ群4 bおよび第2の電力回収回路8 bの構成は、上記の第1のデータドライバ群4 aおよび第1の電力回収回路8 aの構成と同様である。

なお、第2のデータドライバ群4bの複数のトランジスタ $Q1_1 \sim Q1_n$ 、 $Q2_1 \sim Q2_n$ のゲートには、図1のサブフィールド処理器3のデータドライバ制御信号 $DSb$ に基づいて生成される制御パルス $Sa_1 \sim Sa_n$ が与えられる。

電源端子 $V1$ には電源電圧 $Vda$ が与えられる。トランジスタ $Q1 \sim Q4$ のゲートには、それぞれ制御信号 $S1 \sim S4$ が与えられる。トランジスタ $Q1 \sim Q4$ は制御信号 $S1 \sim S4$ に基づいてオン/オフの切替動作を行う。なお、制御信号 $S1 \sim S4$ は、図1のサブフィールド処理器3から与えられる電力回収回路制御信号 $Ha$ に基づき生成される。なお、図1の第2の電力回収回路8bのトランジスタ $Q1 \sim Q4$ には電力回収回路制御信号 $Hb$ に基づき生成される制御信号 $S1 \sim S4$ が与えられる。

図7は、図1の第1および第2の電力回収回路8a、8bの書き込み期間の動作を示すタイミング図である。図7には、図6のノード $N1$ の電圧 $NV1$ およびトランジスタ $Q1 \sim Q4$ にそれぞれ与えられる制御信号 $S1 \sim S4$ の波形が実線により示されている。また、第2のデータドライバ群4bのノード $N1$ の電圧 $NV1$ およびトランジスタ $Q1 \sim Q4$ にそれぞれ与えられる制御信号 $S1 \sim S4$ の信号波形が破線により示されている。

図7においては、第1の電力回収回路8aにおける電圧 $NV1$ および制御信号 $S1 \sim S4$ の後にかっこ書きで符号8aを付し、第2の電力回収回路8bにおける電圧 $NV1$ および制御信号 $S1 \sim S4$ の後にかっこ書きで符号8bを付している。

制御信号 $S1 \sim S4$ がハイレベルの場合にトランジスタ $Q1 \sim Q4$ はオンし、制御信号 $S1 \sim S4$ がローレベルの場合にトランジスタ $Q1 \sim Q4$ はオフする。

期間 $TA$ において、制御信号 $S3$ はハイレベルであり、制御信号 $S1$ 、 $S2$ 、 $S4$ はローレベルである。これにより、トランジスタ $Q3$ がオンし、トランジスタ $Q1$ 、 $Q2$ 、 $Q4$ がオフする。この場合、回収コンデンサ $C1$ がトランジスタ $Q3$ およびダイオード $D1$ を介して回収コイル $L$ に接続され、回収コイル $L$ と浮遊容量 $Cf$ およびパネル容量 $Cp$ との $LC$ 共振により、ノード $N1$ の電圧 $NV1$ が緩やかに上昇する。

このとき、回収コンデンサ $C1$ の電荷が、トランジスタ $Q3$ 、ダイオード $D1$



および回収コイルLを介して浮遊容量C<sub>f</sub>へ放出され、さらに第1のデータドライバ群4aを介してPDP7のパネル容量C<sub>p</sub>へ放出される。

期間TBにおいて、制御信号S<sub>1</sub>はハイレベルであり、制御信号S<sub>2</sub>～S<sub>4</sub>はローレベルである。これにより、トランジスタQ<sub>1</sub>がオンし、トランジスタQ<sub>2</sub>～Q<sub>4</sub>がオフする。この場合、ノードN<sub>1</sub>がトランジスタQ<sub>1</sub>を介して電源端子V<sub>1</sub>に接続される。それにより、ノードN<sub>1</sub>の電圧NV<sub>1</sub>は、急激に上昇するとともに電源端子V<sub>1</sub>に与えられる電源電圧V<sub>da</sub>に固定される。

期間TCにおいて、制御信号S<sub>4</sub>はハイレベルであり、制御信号S<sub>1</sub>～S<sub>3</sub>はローレベルである。これにより、トランジスタQ<sub>4</sub>がオンし、トランジスタQ<sub>1</sub>～Q<sub>3</sub>がオフする。この場合、回収コンデンサC<sub>1</sub>がトランジスタQ<sub>4</sub>およびダイオードD<sub>2</sub>を介して回収コイルLに接続され、回収コイルLと浮遊容量C<sub>f</sub>およびパネル容量C<sub>p</sub>とのLC共振により、ノードN<sub>1</sub>の電圧NV<sub>1</sub>が緩やかに下降する。このとき、浮遊容量C<sub>f</sub>およびパネル容量C<sub>p</sub>の電荷が、回収コイルL、ダイオードD<sub>2</sub>およびトランジスタQ<sub>4</sub>を介して回収コンデンサC<sub>1</sub>へ回収される。

第1の電力回収回路8aが、期間TA～TCの動作を繰り返すことにより、パネル容量C<sub>p</sub>および浮遊容量C<sub>f</sub>に蓄積された電荷が回収コンデンサC<sub>1</sub>に回収されるとともに、回収された電荷が再びパネル容量C<sub>p</sub>および浮遊容量C<sub>f</sub>に与えられる。以下、パネル容量C<sub>p</sub>および浮遊容量C<sub>f</sub>より回収コンデンサC<sub>1</sub>に回収された電荷に基づく電力を回収電力と呼ぶ。

また、回収コンデンサC<sub>1</sub>に回収される電荷に基づく電圧は図6のノードN<sub>3</sub>の電圧と同じである。以下、ノードN<sub>3</sub>の電圧を回収電位V<sub>m</sub>と呼ぶ。図6の回収コンデンサC<sub>1</sub>および回収コイルLは回収電位V<sub>m</sub>に基づくLC共振を行う。これにより、図7に示すように、図6のノードN<sub>1</sub>の電圧NV<sub>1</sub>には変化ACが生じる。電圧NV<sub>1</sub>の変化ACは、回収電位V<sub>m</sub>に応じて変化する。

上記説明において、期間TA～TCの間、制御信号S<sub>2</sub>は常にローレベルであり、トランジスタQ<sub>2</sub>は常にオフしている。しかしながら、制御信号S<sub>2</sub>は書き込み期間P<sub>2</sub>（図2）の終了とともにハイレベルとなり、再び書き込み期間P<sub>2</sub>が開始されるとともにローレベルとなる。これにより、トランジスタQ<sub>2</sub>は書き

込み期間P 2以外で常にオンし、ノードN 1が接地端子に接続される。この動作は、後述のチャージポンプ回路に所定量の電荷を蓄えるために行われる。

ところで、期間T A～T Cにおいて、図6の第1の電力回収回路8 aの回収電位クランプ回路8 0では次の動作が行われている。

- 5     回収電位クランプ回路8 0において、電源端子V 1と接地端子との間に抵抗R 1, R 2が直列に接続されている。これにより、抵抗R 1, R 2間のノードN 5には所定の電圧NV 5が発生している。一方、ノードN 4にはノードN 3の回収電位Vmが与えられる。ここでは、説明を簡単にするためダイオードD 3による電圧降下（例えば、0. 7 V）は無視する。回収電位Vmは後述の第1のデータ  
10     ドライバ群4 aの動作に基づいて変動する。

- トランジスタQ 5は、ノードN 5の電圧NV 5がノードN 4の電圧以上である場合にオフし、ノードN 5の電圧NV 5がノードN 4の電圧より低い場合にオンする。つまり、トランジスタQ 5は、ノードN 3の回収電位Vmが電圧NV 5以下である場合にオフし、ノードN 3の回収電位Vmが電圧NV 5よりも高い場合  
15     にオンする。

これにより、回収電位Vmが電圧NV 5以下である場合、トランジスタQ 5がオフするので、回収コンデンサC 1に蓄えられた電荷は接地端子に放出されることなく保存される。

- また、回収電位Vmが電圧NV 5より高い場合、トランジスタQ 5がオンするので、回収コンデンサC 1に蓄えられた電荷がノードN 3、ダイオードD 3、ノードN 4、トランジスタQ 5および抵抗R 3を介して接地端子に放出される。その結果、ノードN 3の回収電位Vmは電圧NV 5を超えない。  
20

- 以下、図6の抵抗R 1, R 2および電源端子V 1に印加される電源電圧V d aにより設定される電圧NV 5に基づいて制限される回収電位Vmの上限値を限界  
25     電圧V rと呼ぶ。

なお、上記説明において、ダイオードD 3による電圧降下を考慮した場合、ノードN 5の電圧NV 5は限界電圧V rよりもダイオードD 3の電圧降下分低く設定される。

このように、回収電位クランプ回路8 0は、ノードN 3の回収電位Vmが限界

電圧 $V_r$ を超える場合にクランプ動作を行う。したがって、回収電位 $V_m$ は限界電圧 $V_r$ を超えない。本実施の形態に係るプラズマディスプレイ装置100に回収電位クランプ回路80を設けた理由については後述する。

図7において、第2の電力回収回路8bのノードN1の電圧 $NV_1$ および制御  
5 信号 $S_1 \sim S_4$ の波形は、第1の電力回収回路8aのノードN1の電圧 $NV_1$ および制御信号 $S_1 \sim S_4$ の波形と同一であるが、位相のずれ $TR$ が生じている。このタイミングのずれ $TR$ は図5のデータパルス位相差 $TR$ に相当する。

続いて、図7の電圧 $NV_1$ の立ち上がりごとに変化する回収電位 $V_m$ について、  
10 第1の電力回収回路8aおよび第1のデータドライバ群4aの動作に基づき説明する。

図8は、PDP7の表示状態の一例を示す模式図であり、図9～図11は図8  
の表示状態を得る場合の図6のノードN1の電圧 $NV_1$ 、アドレス電極 $4_1$ に  
印加されるデータパルス $Pda$ および第1のデータドライバ群4aに与えられる  
制御パルス $Sa_1 \sim Sa_4$ のタイミングを示す図である。なお、図8では図1の  
15 PDP7の一部のみが示されている。

図8(a)には、図1のPDP7の全ての画素が「白」を表示する一例が示さ  
れている。以下、このようにPDP7の全ての画素が「白」を表示する表示状態  
を「全白」と呼ぶ。この場合、PDP7の画素を構成する全ての放電セル14が  
放電する。

20 図8(b)には、図1のPDP7の全ての画素が「黒」を表示する一例が示さ  
れている。以下、このようにPDP7の全ての画素が「黒」を表示する表示状態  
を「全黒」と呼ぶ。この場合、PDP7の画素を構成する全ての放電セル14が  
放電しない。

図8(c)には、図1のPDP7の上下左右方向において、画素が交互に  
25 「白」および「黒」を表示する一例が示されている。図8(c)においては、ア  
ドレス電極 $4_1$ 上の放電セル14により形成される画素が上から「白」、「黒」、  
「白」および「黒」を表示し、アドレス電極 $4_2$ 上の放電セル14により形成  
される画素が上から「黒」、「白」、「黒」および「白」を表示している。以下、こ  
のようにPDP7の画素が上下左右方向において交互に「白」および「黒」を表

示する状態をトリオ市松と呼ぶ。この場合、PDP 7の上下左右方向において1つおきの画素を構成する放電セル14が放電し、それらの間の放電セル14が放電しない。

図8(a)のPDP 7の表示状態において、図6のノードN1の電圧NV1、  
5 アドレス電極41<sub>1</sub>に印加されるデータパルスPdaおよび第1のデータドライバ群4aに与えられる制御パルスSa<sub>1</sub>~Sa<sub>4</sub>は図9に示すように変化する。

図9に示すように、PDP 7が「全白」である場合、図6のノードN1の電圧NV1の変化ACは、図6のノードN3の回収電位Vmに応答して変化する。回収電位Vmは図7の電圧NV1の立ち上がりごとに変化する。

10 図9によれば、電圧NV1の変化ACは、電圧NV1の立ち上がりごとに順次小さくなっている。この場合、書き込み期間P2では、制御パルスSa<sub>1</sub>~Sa<sub>4</sub>が常にローレベルとなる。これにより、PDP 7が「全白」である場合、トランジスタQ1<sub>1</sub>~Q1<sub>4</sub>は常にオンし、トランジスタQ2<sub>1</sub>~Q2<sub>4</sub>は常にオフする。その結果、アドレス電極41<sub>1</sub>には電圧NV1がデータパルスPdaとして印加  
15 されるためアドレス電極41<sub>1</sub>の電圧は電圧NV1と同様に変化している。

図9の期間PCにおいて、ノードN1の電圧NV1は上述のように図6の回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により上昇し、電源端子V1に印加される電圧Vdaにより固定され、その後、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により下降する。

20 トランジスタQ1<sub>1</sub>~Q1<sub>4</sub>が常にオンし、トランジスタQ2<sub>1</sub>~Q2<sub>4</sub>が常にオフすることにより、電圧NV1の上昇時には回収コンデンサC1に蓄えられた電荷が浮遊容量Cfおよびパネル容量Cpに放出される。一方、電圧NV1の下降時には浮遊容量Cfおよびパネル容量Cpに蓄えられた電荷が回収コンデンサC1に回収される。

25 PDP 7が「全白」である場合、上述のような期間PCが繰り返し行われることにより、回収コンデンサC1に蓄えられる電荷は徐々に上昇する。したがって、図6のノードN3の回収電位Vmはアドレス電極41<sub>1</sub>~41<sub>4</sub>へのデータパルスPdaの印加とともに順次上昇する。これにより、第1のデータドライバ群4aにおける回路損失(図9の矢印LQ)が低減される。第2のデータドライバ群

4 bにおいても同様に回路損失が低減される。

ただし、回収電位  $V_m$  は、図 6 の回収電位クランプ回路 80 により図 7 の限界電圧  $V_r$  よりも上昇しない。その結果、上述の電圧  $NV_1$  の変化  $AC$  は回収電位  $V_m$  が限界電圧  $V_r$  に固定されることにより一定となる。回収電位  $V_m$  の変化の詳細については後述する。

図 10 に示すように、PDP 7 が「全黒」である場合、図 6 のノード  $N_1$  の電圧  $NV_1$  の変化  $AC$  は、図 6 のノード  $N_3$  の回収電位  $V_m$  に応答して変化する。回収電位  $V_m$  は図 7 の電圧  $NV_1$  の立ち上がりごとに変化する。

図 10 によれば、電圧  $NV_1$  の変化  $AC$  は、電圧  $NV_1$  の立ち上がりごとに順次小さくなっている。この場合、書き込み期間  $P_2$  では、制御パルス  $S_{a_1} \sim S_{a_4}$  が常にハイレベルとなる。これにより、PDP 7 が「全黒」である場合、トランジスタ  $Q_{1_1} \sim Q_{1_4}$  は常にオフし、トランジスタ  $Q_{2_1} \sim Q_{2_4}$  は常にオンする。その結果、アドレス電極  $4_1$  には電圧  $NV_1$  がデータパルス  $Pda$  として印加されないためアドレス電極  $4_1$  の電圧は常に接地電位  $V_g$  となっている。

図 10 の期間  $PC$  において、ノード  $N_1$  の電圧  $NV_1$  は上述のように図 6 の回収コイル  $L$  と浮遊容量  $C_f$  との  $LC$  共振により上昇し、電源端子  $V_1$  に印加される電圧  $Vda$  に固定され、その後、回収コイル  $L$  と浮遊容量  $C_f$  との  $LC$  共振により下降する。

トランジスタ  $Q_{1_1} \sim Q_{1_4}$  が常にオフし、トランジスタ  $Q_{2_1} \sim Q_{2_4}$  が常にオンすることにより、電圧  $NV_1$  の上昇時には回収コンデンサ  $C_1$  に蓄えられた電荷が浮遊容量  $C_f$  に放出される。一方、電圧  $NV_1$  の下降時には浮遊容量  $C_f$  に蓄えられた電荷が回収コンデンサ  $C_1$  に回収される。

PDP 7 が「全黒」である場合、上述のような期間  $PC$  が繰り返し行われることにより、回収コンデンサ  $C_1$  に蓄えられる電荷は徐々に上昇する。したがって、図 6 のノード  $N_3$  の回収電位  $V_m$  は電圧  $NV_1$  の立ち上がりごとに順次上昇する。これにより、第 1 のデータドライバ群 4 a における回路損失（図 10 の矢印  $LQ$ ）が低減される。第 2 のデータドライバ群 4 b においても同様に回路損失が低減される。

ただし、回収電位  $V_m$  は、図 6 の回収電位クランプ回路 80 により図 7 の限界

電圧  $V_r$  よりも上昇しない。その結果、上述の電圧  $NV_1$  の変化  $AC$  は回収電位  $V_m$  が限界電圧  $V_r$  に固定されることにより一定となる。

図 11 に示すように、PDP 7 が「トリオ市松」である場合、図 6 のノード  $N_1$  の電圧  $NV_1$  の変化  $AC$  は、電圧  $NV_1$  の初めの立ち上がり時を除き、一定となる。これは、図 6 のノード  $N_3$  の回収電位  $V_m$  が電圧  $NV_1$  の初めの立ち上がり時を除き一定となるためである。

この場合、書き込み期間  $P_2$  において、制御パルス  $S_{a_1}$ ,  $S_{a_3}$  は、電圧  $NV_1$  の立ち上がりごとにローレベルとハイレベルとを繰り返す。また、制御パルス  $S_{a_2}$ ,  $S_{a_4}$  は、電圧  $NV_1$  の立ち上がりごとに制御パルス  $S_{a_1}$ ,  $S_{a_3}$  と逆にハイレベルとローレベルとを繰り返す。これにより、各トランジスタ  $Q_{1_1} \sim Q_{1_4}$  のオン/オフおよびトランジスタ  $Q_{2_1} \sim Q_{2_4}$  のオン/オフが期間  $PC$  ごとに切り換わる。その結果、アドレス電極  $4_{1_1}$  の電圧は、制御パルス  $S_{a_1}$ ,  $S_{a_3}$  がローレベルの場合に図 7 の電圧  $V_{da}$  まで上昇し、制御パルス  $S_{a_2}$ ,  $S_{a_4}$  がローレベルの場合に接地電位  $V_g$  となる。

図 11 の期間  $PC$  において、ノード  $N_1$  の電圧  $NV_1$  は上述のように図 6 の回収コイル  $L$  と浮遊容量  $C_f$  およびパネル容量  $C_p$  との  $LC$  共振により上昇し、電源端子  $V_1$  に印加される電圧  $V_{da}$  に固定され、その後、回収コイル  $L$  と浮遊容量  $C_f$  およびパネル容量  $C_p$  との  $LC$  共振により下降する。

回収電位  $V_m$  は初めの期間  $PC$  から 2 番目の期間  $PC$  において後述の最小回収電位  $V_s$  に変化し、その後、最小回収電位  $V_s$  から変化しない。

初めの期間  $PC$  においては、電圧  $NV_1$  の上昇時にトランジスタ  $Q_{1_1}$  がオンし、トランジスタ  $Q_{2_1}$  がオフすることにより、回収コンデンサ  $C_1$  に蓄えられた電荷が浮遊容量  $C_f$  およびアドレス電極容量  $C_{p_1}$  に放出される。ここで、アドレス電極容量  $C_{p_1}$  は、オン状態にあるトランジスタ  $Q_{1_1}$  と接続されている。また、トランジスタ  $Q_{1_2}$  がオフし、トランジスタ  $Q_{2_2}$  がオンすることにより、回収コンデンサ  $C_1$  に蓄えられた電荷が浮遊容量  $C_f$  に回収される。

そして、電圧  $NV_1$  の下降時には浮遊容量  $C_f$  およびアドレス電極容量  $C_{p_1}$  に蓄えられた電荷が回収コンデンサ  $C_1$  に回収される。ここで、電圧  $NV_1$  は浮遊容量  $C_f$  およびアドレス電極容量  $C_{p_1}$  に蓄えられる電荷により接地電位  $V_g$

まで下降することなく所定の電圧  $V_{gx}$  まで下降する。このときのノード N3 の回収電位  $V_m$  が後述の最小回収電位  $V_s$  である。

この初めの期間 PC において、アドレス電極  $41_1$  には図 11 に示すようにデータパルス  $Pda$  が印加される。そして、アドレス電極  $41_2$  にはデータパルス  $Pda$  は印加されない。

2 度目の期間 PC においては、電圧  $NV1$  の上昇時にトランジスタ  $Q1_1$  がオフし、トランジスタ  $Q2_1$  がオンすることにより、回収コンデンサ  $C1$  に蓄えられた電荷が浮遊容量  $Cf$  に放出される。また、トランジスタ  $Q1_2$  がオンし、トランジスタ  $Q2_2$  がオフすることにより、回収コンデンサ  $C1$  に蓄えられた電荷が浮遊容量  $Cf$  およびアドレス電極容量  $Cp_2$  に放出される。ここで、アドレス電極容量  $Cp_1$  は、オン状態にあるトランジスタ  $Q1_1$  と接続されている。

そして、電圧  $NV1$  の下降時には浮遊容量  $Cf$  およびアドレス電極容量  $Cp_2$  に蓄えられた電荷が回収コンデンサ  $C1$  に回収される。ここで、電圧  $NV1$  は浮遊容量  $Cf$  およびパネル容量  $Cp_2$  に蓄えられる電荷により接地電位  $V_g$  まで下降することなく所定の電圧  $V_{gx}$  まで下降する。上記と同様に、このときの回収電位  $V_m$  が後述の最小回収電位  $V_s$  である。なお、初めの期間 PC においてアドレス電極容量  $Cp_2$  に蓄えられた電荷は、アドレス電極  $41_1$  およびトランジスタ  $Q1_1$  を介して接地端子に放出される。

この期間 PC2 において、アドレス電極  $41_2$  には図 11 に示すようにデータパルス  $Pda$  が印加される。そして、アドレス電極  $41_1$  にはデータパルス  $Pda$  は印加されない。

上記では、図 7 の電圧  $NV1$  の変化を 2 本のアドレス電極  $41_1$ ,  $41_2$  の電圧の変化に基づき説明したが、他のアドレス電極  $41_3 \sim 41_n$  についてもアドレス電極  $41_1$ ,  $41_2$  と同様の電圧の変化が生じるため、電圧  $NV1$  は浮遊容量  $Cf$  およびアドレス電極容量  $Cp_1 \sim Cp_n$  に蓄えられる電荷により変化する。

このように、PDP7 が「トリオ市松」である場合、上述のような期間 PC の動作が各アドレス電極  $41_1 \sim 41_n$  ごとに交互に繰り返し行われるため、全アドレス電極  $41_1 \sim 41_n$  に接続されるアドレス電極容量  $Cp_1 \sim Cp_n$  に最大の電荷が蓄えられることがない。その結果、回収電位  $V_m$  は上昇せず後述の最小回

収電位  $V_s$  となる。この場合の第 1 のデータドライバ群 4 a の回路損失が図 1 1 の矢印  $L_Q$  で示されている。この回路損失は第 2 のデータドライバ群 4 b においても同様に消費される。

続いて、本実施の形態に係るプラズマディスプレイ装置 1 0 0 に回収電位クランプ回路 8 0 を設けた理由について図 1 2 および図 1 3 に基づきする。

図 1 2 および図 1 3 は、図 6 の回収電位クランプ回路 8 0 の働きを説明するための図である。上述のように、本実施の形態に係るプラズマディスプレイ装置 1 0 0 では、図 6 の第 1 の電力回収回路 8 a および第 2 の電力回収回路 8 b により、回路損失が低減されている。

例えば、PDP 7 が「全白」である場合、上述のように図 1 の各アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  の電圧は、データパルス  $P d a$  が印加されるとともに順次上昇する（図 1 2 (a) および図 1 3 (a)）。その結果、図 6 のパネル容量  $C_p$  より回収コンデンサ  $C_1$  に回収された電荷に基づく回収電力（矢印  $R_Q$ ）が各アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  へのデータパルス  $P d a$  の印加とともに順次減少してゆく。

ここで、比較のために図 6 の第 1 の電力回収回路 8 a および第 2 の電力回収回路 8 b に回収電位クランプ回路 8 0 が設けられない場合を説明する。この場合、アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  へのデータパルス  $P d a$  の印加が連続すると、アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  の電圧は、図 1 2 (b), (c) に示すように図 6 の電源端子  $V_1$  に印加される電圧  $V d a$  に固定される。

ところで、本実施の形態に係るプラズマディスプレイ装置 1 0 0 では、アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  へのデータパルス  $P d a$  の印加時にデータパルス位相差  $T_R$  を発生させるため、アドレス電極  $4 1_1 \sim 4 1_n$  へデータパルス  $P d a$  を印加するタイミング  $t_1$  とアドレス電極  $4 2_1 \sim 4 2_n$  へデータパルス  $P d a$  を印加するタイミング  $t_2$  とをずらしている（図 1 2 (b), (c)）。

しかしながら、アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  の電圧が電圧  $V d a$  に固定されるため、データパルス  $P d a$  の立ち上がり部分が特定されず、確実にデータパルス位相差  $T_R$  を得ることができない。つまり、アドレス電極  $4 1_1 \sim 4 1_n$ ,  $4 2_1 \sim 4 2_n$  の電圧とスキャン電極  $1 2_1 \sim 1 2_m$  に印加される図 2



の書き込みパルス  $P_w$  の電圧との差が、常にアドレス放電に必要な電圧値を超えてしまう。

したがって、図 12 (b), (c) に示すように、アドレス電極  $41_1 \sim 41_n$  へタイミング  $t_1$  に印加されるデータパルス  $P_{da}$  に対応して、書き込みパルス  $P_w$  が与えられるスキャン電極  $12_k$  ( $k$  は  $1 \sim m$  のうちの任意の整数) においては、アドレス電極  $41_1 \sim 41_n$  上の放電セル 14 およびアドレス電極  $42_1 \sim 42_n$  上の放電セル 14 の放電電流が同時に流れる。

つまり、アドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  のデータパルス  $P_{da}$  の立ち上がりが特定されないため、スキャン電極  $12_k$  への書き込みパルス  $P_w$  の印加タイミング  $t_3$  に対応して、アドレス電極  $41_1 \sim 41_n$  上の放電セル 14 とアドレス電極  $42_1 \sim 42_n$  上の放電セル 14 とは、同じタイミングでアドレス放電を起こす。それにより、スキャン電極  $12_k$  には 1 つのピークを有する放電電流  $DA_3$  が発生する。

この場合、スキャン電極  $12_k$  には、アドレス電極  $41_1 \sim 41_n$  上の放電セル 14 およびアドレス電極  $42_1 \sim 42_n$  上の放電セル 14 の放電電流が同時に流れるため、放電電流  $DA_3$  の振幅  $AM_3$  は、大きくなる (図 12 (e))。それにより、スキャン電極  $12_k$  に印加される書き込みパルス  $P_w$  に大きな電圧降下  $E_3$  が発生する (図 12 (d))。その結果、上述のようにアドレス放電が不安定となる。

このように、図 6 の第 1 の電力回収回路 8a および第 2 の電力回収回路 8b に回収電位クランプ回路 80 が設けられない場合、データパルス位相差  $TR$  を得ることができず、安定したアドレス放電を確保することができない。

これに対し、本実施の形態に係るプラズマディスプレイ装置 100 では、図 6 の第 1 の電力回収回路 8a および第 2 の電力回収回路 8b に回収電位クランプ回路 80 が設けられている。

回収電位クランプ回路 80 は回収電力 (矢印  $RQ$ ) の減少を所定の値にとどめる。したがって、アドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  へのデータパルス  $P_{da}$  の印加が連続する場合であっても、アドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  の電圧は、図 13 (b), (c) に示すようにデータパルス  $P_{da}$  ごとに立

ち上がり部分  $S_t$  を有する。

上記と同様に、本実施の形態に係るプラズマディスプレイ装置 100 では、アドレス電極  $4_{1_1} \sim 4_{1_n}$  へデータパルス  $P_{da}$  を印加するタイミング  $t_1$  とアドレス電極  $4_{2_1} \sim 4_{2_n}$  へデータパルス  $P_{da}$  を印加するタイミング  $t_2$  とを  
5 ずらしている (図 13 (b), (c))。

アドレス電極  $4_{1_1} \sim 4_{1_n}$ ,  $4_{2_1} \sim 4_{2_n}$  の電圧がデータパルス  $P_{da}$  ごとに立ち上がり部分  $S_t$  を有することにより、データパルス位相差  $TR$  を得ることができる。つまり、アドレス電極  $4_{1_1} \sim 4_{1_n}$ ,  $4_{2_1} \sim 4_{2_n}$  の電圧とスキャン電極  $1_{2_1} \sim 1_{2_m}$  に印加される図 2 の書き込みパルス  $P_w$  の電圧との差が、  
10 立ち上がり部分  $S_t$  ごとにアドレス放電に必要な電圧値を超える。

したがって、図 13 (b), (c) に示すように、アドレス電極  $4_{1_1} \sim 4_{1_n}$  へタイミング  $t_1$  に印加されるデータパルス  $P_{da}$  に対応して、書き込みパルス  $P_w$  が与えられるスキャン電極  $1_{2_k}$  ( $k$  は  $1 \sim m$  のうちの任意の整数) においては、アドレス電極  $4_{1_1} \sim 4_{1_n}$  上の放電セル 14 およびアドレス電極  $4_{2_1} \sim$   
15  $4_{2_n}$  上の放電セル 14 の放電電流がデータパルス位相差  $TR$  分ずれたタイミングで流れる。

それにより、アドレス電極  $4_{1_1} \sim 4_{1_n}$  上の放電セル 14 はタイミング  $t_1$  でアドレス放電を起こし、アドレス電極  $4_{2_1} \sim 4_{2_n}$  上の放電セル 14 はタイミング  $t_2$  でアドレス放電を起こす。それにより、スキャン電極  $1_{2_k}$  には 2 つ  
20 のピークを有する放電電流  $DA_4$  が発生する。

この場合、スキャン電極  $1_{2_k}$  には、アドレス電極  $4_{1_1} \sim 4_{1_n}$  上の放電セル 14 およびアドレス電極  $4_{2_1} \sim 4_{2_n}$  上の放電セル 14 の放電電流がデータパルス位相差  $TR$  分ずれたタイミングで流れるため、放電電流  $DA_4$  の振幅  $AM_4$  は、小さくなる (図 13 (e))。それにより、スキャン電極  $1_{2_k}$  に印加される  
25 書き込みパルス  $P_w$  に発生する電圧降下  $E_4$  が低減される (図 13 (d))。その結果、アドレス放電が安定となる。

このように、本実施の形態に係るプラズマディスプレイ装置 100 では、図 6 の第 1 の電力回収回路 8 a および第 2 の電力回収回路 8 b に回収電位クランプ回路 80 を設けることにより、アドレス電極  $4_{1_1} \sim 4_{1_n}$ ,  $4_{2_1} \sim 4_{2_n}$  へ個々

に立ち上がり部分  $S_t$  を有するデータパルス  $P_{da}$  を印加することができる。その結果、データパルス位相差  $T_R$  を得ることができ、安定したアドレス放電を確保することができる。

続いて、図6のノード  $N_3$  の回収電位  $V_m$  の変化について説明する。図14は、  
5 書き込み期間における図6のノード  $N_3$  の回収電位  $V_m$  の変化を示す波形図である。

図14では、回収電位  $V_m$  の変化が図6のノード  $N_1$  の電圧  $NV_1$  の変化とともに示されている。以下の説明において、図中の矢印  $P_{a1}$ 、 $P_{a2}$ 、 $P_{a3}$  で示されるパルス期間  $P_{a1}$ 、 $P_{a2}$ 、 $P_{a3}$  の各々は、それぞれ期間  $T_A$ 、 $T_B$ 、  
10  $T_C$  を含む。

パルス期間  $P_{a1}$  の期間  $T_A$  において、回収電位  $V_m$  は回収コンデンサ  $C_1$  から浮遊容量  $C_f$  およびパネル容量  $C_p$  への電荷の放出により低下する。そして、期間  $T_B$  では、回収電位  $V_m$  は一定の値に保持される。その後、期間  $T_C$  では浮遊容量  $C_f$  およびパネル容量  $C_p$  に蓄えられた電荷が回収コンデンサ  $C_1$  に回収  
15 されることにより、回収電位  $V_m$  の値は上昇する。

この回収電位  $V_m$  の上昇は浮遊容量  $C_f$  およびパネル容量  $C_p$  から回収される電荷の量により変化する。

パルス期間  $P_{a2}$  の期間  $T_A$  において、回収電位  $V_m$  は回収コンデンサ  $C_1$  から浮遊容量  $C_f$  およびパネル容量  $C_p$  への電荷の放出により再び低下する。そして、  
20 期間  $T_B$  では、回収電位  $V_m$  は一定の値に保持される。その後、期間  $T_C$  では浮遊容量  $C_f$  およびパネル容量  $C_p$  に蓄えられた電荷が回収コンデンサ  $C_1$  に再び回収されることにより、回収電位  $V_m$  の値は上昇する。

ここで、回収電位  $V_m$  の上昇が限界電圧  $V_r$  を超える場合、図6の回収電位クランプ回路80の働きにより、回収電位  $V_m$  は限界電圧  $V_r$  に固定される。この  
25 パルス期間  $P_{a2}$  での回収電位  $V_m$  の変化は、パルス期間  $P_{a3}$  においても同様に行われる。

なお、各パルス期間において、期間  $T_A$  に回収コンデンサ  $C_1$  から放出される電荷に比べ、期間  $T_C$  に回収コンデンサ  $C_1$  に回収される電荷が少ない状態が続くと、回収電位  $V_m$  は各パルス期間ごとに順次低下していく。この場合の回収電

位 $V_m$ の最小値を最小回収電位 $V_s$ とする。最小回収電位 $V_s$ は、図6の電源端子 $V_1$ に印加される電源電圧 $V_{da}$ の $1/2$ よりも大きい値となる。

図15は、図14の回収電位 $V_m$ と各サブフィールドごとの制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数との関係を示すグラフである。図15では、縦軸がサブフィールドごとの回収電位 $V_m$ を表し、横軸が各サブフィールドごとの制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数を表す。

ここで、累積立ち上がり数とは制御パルス $S_{a_1} \sim S_{a_n}$ の立ち上がりの累積回数をいう。換言すれば、累積立ち上がり数は図1のPDP7における複数の放電セル14の放電と非放電との切り替わりの回数である。回収電位 $V_m$ は制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数に応じて変化する。

例えば、PDP7が「全白」または「全黒」を表示する場合、制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数は、放電セル14の放電または非放電が切り替わることなく連続するため最少となる。このように、制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数が少ない場合、回収電位 $V_m$ は電源電圧 $V_{da}$ に収束する。これにより、回収電位 $V_m$ が上昇するので、第1および第2のデータドライバ群4a, 4bの回路損失が累積立ち上がり数に応じて低減される。

本実施の形態においては、回収電位 $V_m$ は図6の回収電位クランプ回路80の働きにより限界電圧 $V_r$ を超えない。回収電位 $V_m$ が限界電圧 $V_r$ となった場合、上述のように電圧 $NV_1$ には限界電圧 $V_r$ を中心とした変化ACが生じる。

回収電位クランプ回路80が回収電位 $V_m$ を限界電圧 $V_r$ までに制限することにより、図12および図13において説明したようなデータパルス位相差TRを得ることができる。このデータパルス位相差TRの効果により、スキャン電極12に流れる放電電流のピークが低減されるため、データパルス $P_{da}$ が連続してアドレス電極 $41_1 \sim 41_n$ に印加される場合の各放電セル14の放電が安定して行われる。

PDP7が「トリオ市松」を表示する場合、制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数は、全ての放電セル14間において放電と非放電との切り替わりが生じるため最多となる。このように、累積立ち上がり数が多い場合、回収電位 $V_m$ は所定の値を有する最小回収電位 $V_s$ に収束する。図15に示すように、最小

回収電位  $V_s$  は電源電位  $V_{da}$  の  $1/2$  よりも少し高い値を示す。

図 3 の各サブフィールドの書き込み期間  $P_2$  終了時において、第 1 の電力回収回路 8 a および第 2 の電力回収回路 8 b に回収される電力は、リセットされることなく、次のサブフィールドの書き込み期間に用いられる。このため、回収コン  
5 デンサ  $C_1$  による回収電位  $V_m$  は書き込み期間  $P_2$  以外で徐々に放電される。

図 6 の第 1 の電力回収回路 8 a に内蔵されるチャージポンプ回路について説明する。上述のように、図 6 の第 1 の電力回収回路 8 a にはチャージポンプ回路が内蔵される。

図 1 6 は図 6 の第 1 の電力回収回路 8 a に設けられるチャージポンプ回路の一  
10 例を示す回路図である。図 1 6 においては、図 6 の破線  $NF$  の範囲に設けられるチャージポンプ回路  $CG_1$ 、 $CG_2$  の詳細な構成が示されている。このチャージポンプ回路  $CG_1$ 、 $CG_2$  は、トランジスタ  $Q_1$ 、 $Q_3$  のゲートに印加する制御信号  $S_1$ 、 $S_3$  を制御するために用いられる。

図 1 6 において、チャージポンプ回路  $CG_1$  は、ダイオード  $D_{p1}$ 、コンデン  
15 サ  $CC_{p1}$  および電界効果トランジスタ（以下、 $FET$  と略記する。）ドライバ  $FD_1$  を含む。また、チャージポンプ回路  $CG_2$  は、ダイオード  $D_{p2}$ 、コンデンサ  $CC_{p2}$  および  $FET$  ドライバ  $FD_2$  を含む。

図 1 6 において、 $FET$  ドライバ  $FD_1$  は、図 1 のサブフィールド処理器 3、  
電源端子  $V_{p1}$ 、接地端子、ノード  $N_1$ 、 $N_a$  およびトランジスタ  $Q_1$  に接続さ  
20 れている。電源端子  $V_{p2}$  とノード  $N_a$  との間にダイオード  $D_{p1}$  が接続され、ノード  $N_1$  とノード  $N_a$  との間にコンデンサ  $CC_{p1}$  が接続されている。

$FET$  ドライバ  $FD_2$  は、図 1 のサブフィールド処理器 3、電源端子  $V_{p3}$ 、  
接地端子、ノード  $N_b$ 、 $N_c$  およびトランジスタ  $Q_3$  に接続されている。電源端  
子  $V_{p4}$  とノード  $N_c$  との間にダイオード  $D_{p2}$  が接続され、ノード  $N_b$  とノ  
25 ド  $N_c$  との間にコンデンサ  $CC_{p2}$  が接続されている。

次に、チャージポンプ回路  $CG_1$  の動作について説明する。下記の説明において、トランジスタ  $Q_1$  は、ゲートにソースより約  $1.5V$  高い電圧が与えられたときにオンするものとする。また、電源端子  $V_{p1}$  には  $5V$  の電圧が印加され、電源端子  $V_{p2}$  には  $1.5V$  の電圧が印加される。

FETドライバFD1には、電源端子Vp1の電圧が電源電圧Vccとして印加され、ノードN1の電圧が基準電圧VZとして印加され、ノードNaの電圧がバイアス電圧VBとして印加される。さらに、FETドライバFD1には、図1のサブフィールド処理器3から電力回収回路制御信号Haが与えられる。

- 5 図2の書き込み期間P2以外の期間のチャージポンプ回路CG1の動作を説明する。この場合、図6のトランジスタQ2がオンする。これにより、ノードN1は接地端子に接続されるので、ノードN1の電圧NV1は接地電位となる。それにより、ノードNaの電圧がノードN1の電圧NV1よりも高くなるので、コンデンサCCp1には電源端子Vp2に印加される15Vの電源電圧により電荷が
- 10 蓄えられる。その結果、ノードNaには約15Vのバイアス電圧VBが発生する。

書き込み期間P2のチャージポンプ回路CG1の動作を説明する。書き込み期間P2において、ノードN1の電圧NV1は図7に示したように変化する。

- この場合、FETドライバFD1には、ノードN1から基準電圧VZとして電圧NV1が与えられるとともに、書き込み期間P2以外の期間にコンデンサCCp1に蓄えられた電荷に基づく約15Vのバイアス電圧VBが与えられる。
- 15 p1に蓄えられた電荷に基づく約15Vのバイアス電圧VBが与えられる。

FETドライバFD1は、図7の期間TBにおいて電力回収回路制御信号Haに基づいて制御信号S1を基準電圧VZよりもバイアス電圧VBだけ高いレベル（ハイレベル）に立ち上げる。その結果、トランジスタQ1のゲートの電圧がソースの電圧よりも約15V高くなり、トランジスタQ1がオンする。

- 20 次に、チャージポンプ回路CG2の動作について説明する。下記の説明において、トランジスタQ3は、ゲートにソースの電圧より約15V高い電圧が与えられたときにオンするものとする。また、電源端子Vp3には5Vの電圧が印加され、電源端子Vp4には15Vの電圧が印加される。

- FETドライバFD2には、電源端子Vp3の電圧が電源電圧Vccとして印加され、ノードNbの電圧が基準電圧VZとして印加され、ノードNcの電圧がバイアス電圧VBとして印加される。さらに、FETドライバFD2には、図1のサブフィールド処理器3から電力回収回路制御信号Haが与えられる。
- 25

図2の書き込み期間P2以外の期間のチャージポンプ回路CG2の動作を説明する。この場合、図6のトランジスタQ2がオンする。これにより、ノードN1

は接地端子に接続されるので、ノードN1の電圧NV1は接地電位となる。それにより、ノードN2の電圧NV2が接地電位となり、ノードNbの電位NVbが接地電位となる。ノードNcの電圧がノードNbの電圧NVbよりも高くなるので、コンデンサCCp2には電源端子Vp4に印加される15Vの電源電圧により電荷が蓄えられる。その結果、ノードNcには約15Vのバイアス電圧VBが発生する。

書き込み期間P2のチャージポンプ回路CG2の動作を説明する。書き込み期間P2において、ノードNbの電圧NVbは変化する。

この場合、FETドライバFD2には、ノードNbから基準電圧VZとして電圧NVbが与えられるとともに、書き込み期間P2以外の期間にコンデンサCCp2に蓄えられた電荷に基づく約15Vのバイアス電圧VBが与えられる。

FETドライバFD2は、図7の期間TAにおいて、電力回収回路制御信号Haに基づいて制御信号S3を基準電圧VZよりもバイアス電圧VBだけ高いレベル（ハイレベル）に立ち上げる。その結果、トランジスタQ3のゲートの電圧がソースの電圧NVbよりも約15V高くなり、トランジスタQ3をオンする。

このように、チャージポンプ回路CG1、CG2を用いることにより、ノードN1、N2の電圧が変化しても、トランジスタQ1、Q3を確実にオンさせることができる。

図1の放電セル14が安定して放電するための条件は、書き込み電圧と維持電圧との関係に基づき決定される。書き込み電圧とは、アドレス放電のために選択されたアドレス電極と選択されたスキャン電極との間に印加される電圧をいい、図2の書き込み期間P2に図1のアドレス電極41<sub>1</sub>～41<sub>n</sub>、42<sub>1</sub>～42<sub>n</sub>に印加される図2のデータパルスPdaの電圧とスキャン電極12<sub>1</sub>～12<sub>m</sub>に印加される図2の書き込みパルスPwの電圧との差である。

また、維持電圧とは、維持放電のために各スキャン電極と各サステイン電極との間に印加される電圧をいい、図2の維持期間P3にスキャン電極12<sub>1</sub>～12<sub>m</sub>に印加される図2の維持パルスPscの電圧とサステイン電極13<sub>1</sub>～13<sub>m</sub>の電圧との差およびサステイン電極13<sub>1</sub>～13<sub>m</sub>に印加される図2の維持パルスPsuの電圧とスキャン電極12<sub>1</sub>～12<sub>m</sub>の電圧との差である。

以下、図1のPDP7上の放電セル14を安定して放電させるために許容される書き込み電圧および維持電圧の範囲を駆動マージンと呼ぶ。図5で説明したように、データパルス位相差TRにより書き込みパルスPwの電圧降下量E2を低減すると、駆動マージンが拡大される。駆動マージンの拡大とデータパルス位相差TRの大きさとの関係について説明する。

図17は、図1のプラズマディスプレイ装置の駆動マージンとデータパルス位相差との関係を説明するためのグラフである。図17のグラフでは、横軸が書き込み電圧を示し、縦軸が維持電圧を示す。なお、図17に示される駆動マージンは、図15の限界電圧Vrを電源電圧Vdaの0.8倍に設定した場合のものである。

図17において、曲線L1を超える書き込み電圧および維持電圧が図1のPDP7に印加されると、選択されていない放電セル14が維持電圧だけで誤放電する場合がある。なお、曲線L1を超える書き込み電圧および維持電圧の範囲は矢印MO1で示される範囲である。例えば、曲線L1を超える書き込み電圧および維持電圧で「全黒」の画像を表示する場合、一部の放電セル14が誤放電し、画像が劣化する。

また、図17において、曲線L2より低い維持電圧が図1のPDP7に印加されると、選択された放電セル14が十分に放電しない場合がある。なお、曲線L2より低い書き込み電圧および維持電圧の範囲は矢印MO2で示される範囲である。例えば、曲線L2より低い維持電圧で「全白」の画像を表示する場合、一部の放電セル14が放電せず、画像にちらつきが発生する。

図1のプラズマディスプレイ装置100の駆動マージンは、これら曲線L1、L2および図5のデータパルス位相差TRにより決定される。

ここで、データパルス位相差TRが0の場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L3により示されている。

また、データパルス位相差TRが150nsの場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L4により示されている。



さらに、データパルス位相差 $TR$ が $200\text{ ns}$ の場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L5により示されている。

図17に示すように、放電セル14を安定して放電させるために最低限必要な書き込み電圧はデータパルス位相差 $TR$ が大きくなるにつれて低くなる。つまり、データパルス位相差 $TR$ を大きくすることにより、図5に示すようにスキャン電極に流れる放電電流のピークを低減することができるので、放電に必要な書き込み電圧の下限値を下げるができる。それにより、放電セル14を安定して放電させるために許容される書き込み電圧の範囲が広がる。

図17の結果から、データパルス位相差 $TR$ が0に設定された場合には、駆動マージンは曲線L1, L2, L3で囲まれた範囲となる。また、データパルス位相差 $TR$ が $150\text{ ns}$ に設定された場合には、駆動マージンは曲線L1, L2, L4で囲まれた範囲となる。さらに、データパルス位相差 $TR$ が $200\text{ ns}$ に設定された場合には、駆動マージンは曲線L1, L2, L5で囲まれた範囲となる。これにより、駆動マージンはデータパルス位相差 $TR$ が大きいほど拡大されることがわかる。本実施の形態において、データパルス位相差 $TR$ は約 $200\text{ ns}$ 以上とすることが望ましいが、これについては後述する。

なお、図17において、矢印MO3で示される範囲では、維持電圧に対して十分な書き込み電圧が得らず、放電セル14が十分に放電しない場合がある。例えば、曲線L5より低い書き込み電圧で「全白」の画像を表示する場合、一部の放電セル14が放電せず、画像にちらつきが発生する。

本実施の形態において、図5のデータパルス位相差 $TR$ は以下のように設定されることが望ましい。

図18は、「全白」の画像が表示されるときに書き込み電圧と位相差との関係を示すグラフである。縦軸が書き込み電圧を表し、横軸がデータパルス位相差 $TR$ を表す。

図18において、実線J1は、維持電圧を所定の電圧値 $V_e$ （図17参照）とし、限界電圧 $V_r$ を $0.8V_{da}$ （ $V_{da}$ は図6の電源電圧 $V_{da}$ と同一）とした場合に図1の放電セル14の安定した放電を得ることのできる書き込み電圧の

下限値を示す。したがって、図18のハッチングを施した範囲内では、放電セル14の安定した放電を得ることができる。

横軸のデータパルス位相差TRに注目すると、約200nsを超える位相差がある場合、書き込み電圧の下限値が従来から一般に用いられている電圧値V<sub>J</sub>

5 (図18の破線)の書き込み電圧に比べ非常に低くなる。したがって、本実施の形態に係るプラズマディスプレイ装置100においては、データパルス位相差TRを約200ns以上とすることが望ましい。

図19は、「全白」の画像が表示されるときに書き込み電圧と限界電圧V<sub>r</sub>との関係を示すグラフである。縦軸が書き込み電圧を表し、横軸が限界電圧V<sub>r</sub>を表す。

図19において、実線J2は、維持電圧を所定の電圧値V<sub>e</sub>(図17参照)とし、図5のデータパルス位相差TRを200nsとした場合に図1の放電セル14の安定した放電を得ることのできる書き込み電圧の下限値を示す。したがって、図19のハッチングを施した範囲内では、放電セル14の安定した放電を得ること

15 とができる。横軸の限界電圧V<sub>r</sub>に注目すると、限界電圧V<sub>r</sub>が約0.8V<sub>da</sub>より低く設定される場合、従来から一般に用いられている電圧値V<sub>J</sub>(図18の破線)の書き込み電圧に比べ書き込み電圧の下限値が非常に低くなる。

したがって、本実施の形態に係るプラズマディスプレイ装置100においては、限界電圧V<sub>r</sub>を約0.8V<sub>da</sub>以下とすることが望ましい。また、限界電圧V<sub>r</sub>を約0.5V<sub>da</sub>から約0.8V<sub>da</sub>に設定することがより望ましく、限界電圧V<sub>r</sub>を約0.8V<sub>da</sub>に設定することがさらに望ましい。

このようにデータパルス位相差TRおよび限界電圧V<sub>r</sub>を設定することにより、放電セル14の安定した放電を得るのに必要な書き込み電圧の下限値が拡大されるので、放電セル14の安定した放電を確保しつつ書き込み電圧を低減することができる。

25 本実施の形態に係るプラズマディスプレイ装置100のアドレス期間における消費電力について説明する。ここで、本例における消費電力とは、アドレス電極41<sub>1</sub>~41<sub>n</sub>、42<sub>1</sub>~42<sub>n</sub>にデータパルスP<sub>da</sub>を印加することにより消費

される電力をいう。なお、この消費電力は図9～図11の矢印LQで示される回路損失に相当する。

図20は、第1の実施の形態に係るプラズマディスプレイ装置100の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するための  
5 グラフである。

本例では、本実施の形態に係るプラズマディスプレイ装置100の比較の対象として、電力回収を行わない従来のプラズマディスプレイ装置（無回収型プラズマディスプレイ装置と呼ぶ。）および背景技術において説明した図33の電力回収回路980を備えるプラズマディスプレイ装置（従来回収型プラズマディスプレイ装置と呼ぶ。）を用いる。なお、以下の説明において、第1の実施の形態に係るプラズマディスプレイ装置100、無回収型プラズマディスプレイ装置および従来回収型プラズマディスプレイ装置は、一部を除きほぼ同様の構成を有するものとする。  
10

図20では、縦軸は第1の実施の形態に係るプラズマディスプレイ装置100、  
15 無回収型プラズマディスプレイ装置および従来回収型プラズマディスプレイ装置の各々のデータドライバ群4および電力回収回路8のデータ回路損失相対比を示す。このデータ回路損失相対比は、従来回収型プラズマディスプレイ装置のデータ回路損失が最大となる「全白」表示のときを100%とする場合の第1の実施の形態に係るプラズマディスプレイ装置100、無回収型プラズマディスプレイ装置および従来回収型プラズマディスプレイ装置のデータ回路損失の比率である。  
20 また、横軸は各サブフィールドごとの制御パルス $S_{a_1} \sim S_{a_n}$ の立ち上がり比率を示す。この立ち上がり比率は、各サブフィールドごとで立ち上がり可能な最大の回数に対する各サブフィールドごとの制御パルス $S_{a_1} \sim S_{a_n}$ の累積立ち上がり数の比率を表しており、「トリオ市松」を表示する場合が最も累積立ち上  
25 がり数が多いため、累積立ち上がり数の比率が100%となる。

図20によれば、データ回路損失相対比の最大値が破線L2で表される従来回収型プラズマディスプレイ装置のデータ回路損失相対比100%（立ち上がり比率0%：「全白」表示）であるものとして、一点鎖線L1で表される無回収型プラズマディスプレイ装置のデータ回路損失相対比の最大値は200%（立ち上

- り比率 100% : 「トリオ市松」表示) である。一方、太線 L3 で表される本実施の形態に係るプラズマディスプレイ装置 100 のデータ回路損失相対比の最大値は、従来回収型プラズマディスプレイ装置のデータ回路損失相対比 100% の約 3 分の 2 以下 (立ち上がり比率 100% : 「トリオ市松」表示) であり、最大
- 5 となるデータ回路損失が大幅に低減されている。
- また、従来回収型プラズマディスプレイ装置のデータ回路損失の課題であった「全白」表示などの連続してデータパルス Pda がアドレス電極に印加される場合においても、本実施の形態に係るプラズマディスプレイ装置 100 では、データ回路損失が大幅に低減されている。
- 10 本実施の形態に係るプラズマディスプレイ装置 100 においては、第 1 および第 2 のデータドライバ群 4a, 4b ならびに第 1 および第 2 の電力回収回路 8a, 8b によりデータパルス位相差 TR が生成される。これにより、放電セル 14 の安定した放電を確保しつつ書き込みパルス Pw の電圧 (駆動電圧) を低減することができ、駆動マージンが拡大される。
- 15 なお、本実施の形態においては、2 つのデータドライバ群と 2 つの電力回収回路を用いることによりデータパルス位相差 TR を生成しているが、これに限らず、複数のデータパルス位相差 TR を生成できるのであれば、データドライバ群および電力回収回路はさらに複数設けてもよい。
- 上述のように図 6 のノード N3 の回収電位 Vm は、ノード N1 の電圧 NV1 の
- 20 立ち上がり (データパルスの立ち上がり) ごとに、放電セル 14 の放電または非放電の切り替わり数 (図 15 の累積立ち上がり数) に応じて変化する。特に、累積立ち上がり数が少なくなると、回収電位 Vm は上昇する。これにより、回路損失が低減されるので、プラズマディスプレイ装置 100 の消費電力が十分に低減される。
- 25 本実施の形態に係るプラズマディスプレイ装置 100 には図 6 の回収電位クランプ回路 80 が設けられている。これにより、図 6 のノード N3 の回収電位 Vm は、ノード N1 の電圧 NV1 の立ち上がり (データパルスの立ち上がり) ごとに変化するが、回収電位クランプ回路 80 により限界電圧 Vr よりも高くないように制御される。これにより、回収電位 Vm は図 6 の電源電圧 Vda まで上昇

することがないので、図2のデータパルスP d aをアドレス電極4 1<sub>1</sub> ~ 4 1<sub>n</sub>に印加するタイミングとデータパルスP d aをアドレス電極4 2<sub>1</sub> ~ 4 2<sub>n</sub>に印加するタイミングとの間でデータパルス位相差T Rを発生させることができる。

その結果、第1および第2の電力回収回路8 a, 8 bによりプラズマディスプレイ装置1 0 0の消費電力が低減されるとともに、図1の放電セル1 4の安定した放電を確保しつつ書き込みパルスP wの電圧（駆動電圧）を低減することができ、駆動マージンが拡大される。

以上、本実施の形態においては、第1および第2のデータドライバ群4 a, 4 bの各々が、アドレス電極4 1<sub>1</sub> ~ 4 1<sub>n</sub>およびアドレス電極4 2<sub>1</sub> ~ 4 2<sub>n</sub>に印加するデータパルスP d aの出力タイミングをずらすことによりデータパルス位相差T Rが生じている。

しかしながら、上記データパルス位相差T Rを得ることができるのであれば、例えば、サブフィールド処理器3が、第1のデータドライバ群4 aへ与えるデータドライバ制御信号D S aのタイミングおよび第1の電力回収回路8 aへ与える電力回収回路制御信号H aのタイミングと第2のデータドライバ群4 bへ与えるデータドライバ制御信号D S bのタイミングおよび第2の電力回収回路8 bへ与える電力回収回路制御信号H bのタイミングとをずらすことによりデータパルス位相差T Rを生じさせてもよい。

その他、データパルス位相差T Rを得るために、第1および第2のデータドライバ群4 a, 4 bの各々には、アドレス電極4 1<sub>1</sub> ~ 4 1<sub>n</sub>およびアドレス電極4 2<sub>1</sub> ~ 4 2<sub>n</sub>に印加するデータパルスP d aの出力タイミングが異なるように遅延回路を設けてもよい。

さらに、データパルス位相差T Rを得るために、第1および第2の電力回収回路8 a, 8 bの各々には、第1および第2のデータドライバ群4 a, 4 bへ与えられる電力を遅延させる遅延回路を設けてもよい。

第1のデータドライバ群4 aに接続されるアドレス電極4 1<sub>1</sub> ~ 4 1<sub>n</sub>は必ずしも複数である必要はなく、1つであってもよい。また、第2のデータドライバ群4 bに接続されるアドレス電極4 2<sub>1</sub> ~ 4 2<sub>n</sub>についても同様に、第2のデータドライバ群4 bに接続されるアドレス電極4 2<sub>1</sub> ~ 4 2<sub>n</sub>は必ずしも複数であ

る必要はなく、1つであってもよい。

さらに、本実施の形態において、第1のデータドライバ群4 aに接続されるアドレス電極4 1<sub>1</sub> ~ 4 1<sub>n</sub>の個数と第2のデータドライバ群4 bに接続されるアドレス電極4 2<sub>1</sub> ~ 4 2<sub>n</sub>との個数は同一であるが、これに限らず、第1および  
5 第2のデータドライバ群4 a, 4 bに設けられる各アドレス電極の個数は互いに異なってもよい。

(第2の実施の形態)

第2の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。  
10

第2の実施の形態に係るプラズマディスプレイ装置100においては、第1の電力回収回路8 aおよび第2の電力回収回路8 bに設けられる回収電位クランプ回路8 1が図6の回収電位クランプ回路8 0の構成と異なる。

図21は、第2の実施の形態に係る第1のデータドライバ群4 a、第1の電力回収回路8 aおよびPDP7の回路図である。図21において、回収電位クランプ回路8 1は、抵抗R 3、ダイオードD 3, D 4およびバイポーラトランジスタ  
15 (以下、トランジスタと略記する。) Q 5を含む。

回収電位クランプ回路8 1において、ノードN 3とノードN 4との間にはダイオードD 3が接続され、ノードN 4はトランジスタQ 5のエミッタに接続され、  
20 トランジスタQ 5のコレクタは抵抗R 3を介して接地端子に接続されている。電源端子V 2はトランジスタQ 5のベースに接続されている。電源端子V 2とノードN 4との間にダイオードD 4が接続されている。

図7の期間TA~TCにおいて、第1の電力回収回路8 aの回収電位クランプ回路8 1では次に示す動作が行われている。

回収電位クランプ回路8 1において、電源端子V 2には予め第1の実施の形態の限界電圧V<sub>r</sub>が印加されている。一方、ノードN 4にはノードN 3の回収電位V<sub>m</sub>が与えられる。回収電圧V<sub>m</sub>は後述の第1のデータドライバ群4 aの動作に基づいて変化する。ここでは、説明を簡単にするためダイオードD 3による電圧  
25 降下は無視する。

トランジスタQ 5は、電源端子V 2の限界電圧V<sub>r</sub>がノードN 4の電圧以上である場合にオフし、電源端子V 2の限界電圧V<sub>r</sub>がノードN 4の電圧より低い場合にオンする。つまり、トランジスタQ 5は、ノードN 3の回収電位V<sub>m</sub>が限界電圧V<sub>r</sub>以下である場合にオフし、ノードN 3の回収電位V<sub>m</sub>が限界電圧V<sub>r</sub>よりも高い場合にオンする。

これにより、回収電位V<sub>m</sub>が限界電圧V<sub>r</sub>以下である場合、トランジスタQ 5がオフするので、回収コンデンサC 1に蓄えられた電荷は接地端子に放出されることなく保存される。

また、ノードN 3の回収電位V<sub>m</sub>が限界電圧V<sub>r</sub>より高い場合、トランジスタQ 5がオンするので、回収コンデンサC 1に蓄えられた電荷がノードN 3、ダイオードD 3、ノードN 4、トランジスタQ 5および抵抗R 3を介して接地端子に放出される。その結果、ノードN 3の回収電位V<sub>m</sub>は限界電圧V<sub>r</sub>を超えない。

なお、上記説明において、ダイオードD 3による電圧降下を考慮した場合、電源端子V 2に印加される電圧は限界電圧V<sub>r</sub>よりもダイオードD 3の電圧降下分低く設定される。ダイオードD 3の電圧降下は、例えば、0. 7 Vである。

このように、回収電位クランプ回路8 1は、ノードN 3の回収電位V<sub>m</sub>が限界電圧V<sub>r</sub>を超える場合にクランプ動作を行う。したがって、回収電位V<sub>m</sub>は限界電圧V<sub>r</sub>を超えない。

このように、第2の実施の形態に係るプラズマディスプレイ装置1 0 0の第1および第2の電力回収回路8 a、8 bの回収電位クランプ回路8 1では、電源端子V 2に直接、限界電圧V<sub>r</sub>を印加することによりトランジスタQ 5のベースに印加する電圧の調整が容易となっている。

#### (第3の実施の形態)

第3の実施の形態に係るプラズマディスプレイ装置1 0 0は第1の実施の形態に係るプラズマディスプレイ装置1 0 0と以下の点を除き、同様の構成および動作を有する。

第3の実施の形態に係るプラズマディスプレイ装置1 0 0においては、第1の電力回収回路8 aおよび第2の電力回収回路8 bに設けられる回収電位クランプ回路8 2が図6の回収電位クランプ回路8 0の構成と異なる。

図 2 2 は、第 3 の実施の形態に係る第 1 のデータドライバ群 4 a、第 1 の電力回収回路 8 a および P D P 7 の回路図である。図 2 2 において、回収電位クランプ回路 8 2 は、ツェナーダイオード D 5 を含む。

回収電位クランプ回路 8 2 において、ノード N 3 と接地端子との間にツェナーダイオード D 5 が接続されている。なお、ノード N 3 はツェナーダイオード D 5 のカソードに接続されている。ツェナーダイオード D 5 には、カソードに第 1 の実施の形態の限界電圧  $V_r$  を超える電圧が印加されることにより逆方向の電流が流れる。

図 7 の期間 T A ~ T C において、第 1 の電力回収回路 8 a の回収電位クランプ回路 8 2 では次に示す動作が行われている。

回収電位クランプ回路 8 2 において、ツェナーダイオード D 5 のカソードにはノード N 3 の回収電位  $V_m$  が与えられる。回収電位  $V_m$  は後述の第 1 のデータドライバ群 4 a の動作に基づいて変化する。上述のように、ツェナーダイオード D 5 はカソードに限界電圧  $V_r$  を超える電圧が印加されることにより、逆方向の電流を流す。これにより、ツェナーダイオード D 5 はノード N 3 の回収電位  $V_m$  が限界電圧  $V_r$  以下である場合に電流を流さず、ノード N 3 の回収電位  $V_m$  が限界電圧  $V_r$  よりも高い場合に逆方向の電流を流す。

これにより、回収電位  $V_m$  が限界電圧  $V_r$  以下である場合、回収コンデンサ C 1 に蓄えられた電荷は接地端子に放出されることなく保存される。

また、ノード N 3 の回収電位  $V_m$  が限界電圧  $V_r$  より高い場合、回収コンデンサ C 1 に蓄えられた電荷がツェナーダイオード D 5 を介して接地端子に放出される。その結果、ノード N 3 の回収電位  $V_m$  は限界電圧  $V_r$  を超えない。

このように、回収電位クランプ回路 8 2 は、ノード N 3 の回収電位  $V_m$  が限界電圧  $V_r$  を超える場合にクランプ動作を行う。したがって、回収電位  $V_m$  は限界電圧  $V_r$  を超えない。

第 3 の実施の形態に係るプラズマディスプレイ装置 1 0 0 の第 1 および第 2 の電力回収回路 8 a、8 b の回収電位クランプ回路 8 2 では、ツェナーダイオード D 5 のみによりノード N 3 の回収電位  $V_m$  の制御を行っている。これにより、構成が容易となっている。



## (第4の実施の形態)

第4の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。

- 5 図23は第4の実施の形態に係るプラズマディスプレイ装置100の基本構成を示すブロック図である。

第4の実施の形態に係るプラズマディスプレイ装置100は、第1の実施の形態に係るプラズマディスプレイ装置100の構成に加え、累積立ち上がり回数検出器20を備える。

- 10 累積立ち上がり回数検出器20は、映像信号-サブフィールド対応付け器2に接続されるとともにサブフィールド処理器3に接続されている。累積立ち上がり回数検出器20は、映像信号-サブフィールド対応付け器2から与えられる画像データSPに基づいて、複数のアドレス電極 $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$ へ印加するデータパルスPdaの立ち上がり、すなわち、制御パルス $sa_1 \sim sa_n$   
15 の立ち上がり回数をカウントし、その回数を示すカウント信号SLをサブフィールド処理器3へ与える。

図24は、第4の実施の形態に係るサブフィールド処理器3の構成を説明するためのブロック図である。

- 図24に示すように、第4の実施の形態に係るサブフィールド処理器3は、立ち  
20 上がり回数比較器31、回収切替決定部32および制御信号発生器33を含む。

サブフィールド処理器3においては、累積立ち上がり回数検出器20からのカウント信号SLが立ち上がり回数比較器31に与えられる。

- 立ち上がり回数比較器31には、予め制御パルス $sa_1 \sim sa_n$ の各サブフィールドごとで立ち上がり可能な最大の回数が記憶されている。立ち上がり回数比  
25 較器31は、カウント信号SLに基づいて、立ち上がり比率を算出する。

さらに、立ち上がり回数比較器31は、算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上であるか否かを判別し、その判別結果を示す判別信号UCを回収切替決定部32に与える。消費電力切り替わり比率 $\beta\%$ についても、立ち上がり回数比較器31に、予め記憶されている。消費電力切り替わり比率 $\beta\%$

の設定については後述する。

回収切替決定部 32 は、立ち上がり回数比較器 31 から与えられた判別信号 U  
C に基づいて制御信号 S2 を切り替えるための切替信号 CT を生成する。

切替信号 CT は、例えば、算出された立ち上がり比率が消費電力切り替わり比  
率  $\beta\%$  以上である場合にハイレベルとなり、算出された立ち上がり比率が消費電  
力切り替わり比率  $\beta\%$  未満である場合にローレベルとなる。生成された切替信号  
CT は制御信号発生器 33 に与えられる。

制御信号発生器 33 は、映像信号—サブフィールド対応付け器 2 から与えられ  
るサブフィールドの画像データ SP に基づいてデータドライバ制御信号 DSa,  
DSb、電力回収回路制御信号 Ha, Hb、スキャンドライバ制御信号 CS およ  
びサステインドライバ制御信号 US を生成するとともに、画像データ SP および  
切替信号 CT に基づいて制御信号 S1 ~ S4 を生成する。

制御信号 S2 は、回収切替決定部 32 から与えられる切替信号 CT に基づいて  
生成され、第 1 および第 2 の電力回収回路 8a, 8b のトランジスタ Q2 (図  
6) に与えられる。制御信号 S2 は、立ち上がり回数比較器 31 で算出された立  
ち上がり比率が消費電力切り替わり比率  $\beta\%$  以上であるか否かにより、トランジ  
スタ Q2 のオン/オフを切り替える。これにより、第 4 の実施の形態に係るプラ  
ズマディスプレイ装置 100 の電力回収の方式が切り替わる。詳細は後述する。

本実施の形態では、上記の累積立ち上がり回数検出器 20 に代えて、累積立ち  
下がり回数検出器を用いてもよい。この場合、累積立ち下がり回数検出器は、制  
御パルス Sa1 ~ Sa<sub>n</sub> の立ち下がり回数をカウントし、その回数を示すカウ  
ント信号 SL をサブフィールド処理器 3 へ与える。そして、サブフィールド処理  
器 3 においては、与えられたカウント信号 SL に基づいて上記と同様の処理が行  
われる。

図 25 は、算出された立ち上がり比率が消費電力切り替わり比率  $\beta\%$  以上であ  
る場合に、切替信号 CT に基づいて電力回収の方式が切り替えられた場合の図 2  
3 の第 1 および第 2 の電力回収回路 8a, 8b の書き込み期間の動作を示すタイ  
ミング図である。図 25 には、図 6 のノード N1 の電圧 NV1 およびトランジス  
タ Q1 ~ Q4 にそれぞれ与えられる制御信号 S1 ~ S4 の波形が実線により示さ

れている。また、第2のデータドライバ群4bのノードN1の電圧NV1およびトランジスタQ1～Q4にそれぞれ与えられる制御信号S1～S4の信号波形が破線により示されている。

図25においては、第1の電力回収回路8aにおける電圧NV1および制御信号S1～S4の後にかっこ書きで符号8aを付し、第2の電力回収回路8bにおける電圧NV1および制御信号S1～S4の後にかっこ書きで符号8bを付している。

制御信号S1～S4がハイレベルの場合にトランジスタQ1～Q4はオンし、制御信号S1～S4がローレベルの場合にトランジスタQ1～Q4はオフする。

10 期間TAおよび期間TBにおける制御信号S1～S4およびノードN1の電圧NV1の変化は第1の実施の形態に係る図7と同様である。

期間TCにおいて、制御信号S4はハイレベルであり、制御信号S1～S3はローレベルである。これにより、トランジスタQ4がオンし、トランジスタQ1～Q3がオフする。この場合、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により、ノードN1の電圧NV1が緩やかに下降する。このとき、浮遊容量Cfおよびパネル容量Cpの電荷が、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1へ回収される。

20 本実施の形態では、上述のように、電力回収の方式の切り替えは、切替信号CTに基づいて、期間TDに制御信号S2が変化することにより生じる。

この場合、期間TDにおいて、制御信号S1、S3、S4がローレベルとなり、制御信号S2がハイレベルとなる。これにより、トランジスタQ1、Q3、Q4がオフし、トランジスタQ2がオンする。それにより、ノードN1が接地される。

25 その結果、期間TCにおいて所定の電圧値まで下降したノードN1の電圧NV1は、急激に下降して接地電位Vgに固定される。

第1の電力回収回路8aが、期間TA～TDの動作を繰り返すことにより、パネル容量Cpおよび浮遊容量Cfに蓄積された電荷が回収コンデンサC1に回収されるとともに、回収された電荷が再びパネル容量Cpおよび浮遊容量Cfに与え

られる。

この場合、期間TBにおいてノードN1の電圧NV1は電源電圧Vdaに固定され、期間TDにおいてノードN1の電圧NV1は接地電圧Vgに固定されるので、ノードN3の回収電位Vmは電源電圧Vdaの1/2の値となる（図25の  
5 変化AC）。

このように、本実施の形態に係るプラズマディスプレイ装置100においては、立ち上がり比率および立ち下がり比率に基づいて電力回収の方式が切り替えられる。これは、プラズマディスプレイ装置100のアドレス期間における消費電力のさらなる低減を図るために行われている。電力回収の方式が切り替えられるこ  
10 とによる消費電力の低減については後述する。

図26は、第4の実施の形態に係るプラズマディスプレイ装置100の回収電位Vmと各サブフィールドごとの制御パルスSa<sub>1</sub>～Sa<sub>n</sub>の累積立ち上がり数との関係を示すグラフである。図26では、縦軸がサブフィールドごとの回収電位Vmを表し、横軸が各サブフィールドごとの制御パルスSa<sub>1</sub>～Sa<sub>n</sub>の累積  
15 立ち上がり数を表す。

図26において、回収電位Vmと各サブフィールドごとの制御パルスSa<sub>1</sub>～Sa<sub>n</sub>の累積立ち上がり数との関係は下記を除き、第1の実施の形態において説明した図15と同様である。

上述のように、本実施の形態に係るプラズマディスプレイ装置100においては、立ち上がり比率が消費電力切り替わり比率β%以上である場合、図25の期  
20 間TDに制御信号S2がハイレベルとなる。すなわち、電力回収の方式が切り替えられる。

ここで、立ち上がり比率または立ち下がり比率が消費電力切り替わり比率β%となる場合の各サブフィールドごとの制御パルスSa<sub>1</sub>～Sa<sub>n</sub>の累積立ち上  
25 り数または累積立ち下がり数を回収方式切替数Ryと呼ぶ。

本実施の形態において、電力回収の方式は各サブフィールドごとの制御パルスSa<sub>1</sub>～Sa<sub>n</sub>の累積立ち上がり数または累積立ち下がり数が回収方式切替数Ryとなることにより切り替わる。その結果、図25および図26に示すように、回収電位Vmは累積立ち上がり数または累積立ち下がり数が回収方式切替数Ry

以上の場合に電源電圧  $V_{da}$  の  $1/2$  の値となる。

本実施の形態に係るプラズマディスプレイ装置 100 のアドレス期間におけるデータ回路損失について説明する。

図 27 は、第 4 の実施の形態に係るプラズマディスプレイ装置 100 の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフである。

本例では、本実施の形態に係るプラズマディスプレイ装置 100 の比較の対象として、第 1 の実施の形態に係るプラズマディスプレイ装置および従来回収型プラズマディスプレイ装置を用いる。

図 27 では、図 20 と同様に縦軸が第 4 の実施の形態に係るプラズマディスプレイ装置 100、第 1 の実施の形態に係るプラズマディスプレイ装置および従来回収型プラズマディスプレイ装置の各々のデータ回路損失相対比を示す。また、横軸が各サブフィールドごとの制御パルス  $S_{a1} \sim S_{an}$  の立ち上がり比率を示す。

図 27 において、各サブフィールドごとの制御パルス  $S_{a1} \sim S_{an}$  の立ち上がり比率および立ち下がり比率の変化に伴う装置第 1 の実施の形態に係るプラズマディスプレイ装置および従来回収型プラズマディスプレイ装置のデータ回路損失相対比の変化は、第 1 の実施の形態の図 20 と同様である。従来回収型プラズマディスプレイ装置のデータ回路損失相対比が破線 L2 で表され、第 1 の実施の形態に係るプラズマディスプレイ装置のデータ回路損失相対比が点線 L3 で表されている。

本実施の形態に係るプラズマディスプレイ装置 100 のデータ回路損失相対比が太線 L4 で表されている。

ここで、図 27 の矢印 Bb の範囲では、第 1 の実施の形態に係るプラズマディスプレイ装置のデータ回路損失相対比一点鎖線 L3 の方が、従来回収型プラズマディスプレイ装置のデータ回路損失相対比が破線 L2 よりも大きくなる。この一点鎖線 L3 と破線 L2 のデータ回路損失相対比が切り替わる立ち上がり比率を消費電力切り替わり比率  $\beta\%$  と定義する。この消費電力切り替わり比率  $\beta\%$  は、前述の立ち上がり回数比較器 31 に、予め記憶されている。

図 2 7 に示すように、プラズマディスプレイ装置 1 0 0 のデータ回路損失相対比は矢印 B b の範囲を除き、第 1 の実施の形態に係るプラズマディスプレイ装置と同様である。

図 2 7 の矢印 B b の範囲においては、破線 L 2 と太線 L 4 とが重なっている。

- 5   すなわち、各サブフィールドごとの立ち上がり比率が消費電力切り替わり比率  $\beta$  % 以上の範囲、または各サブフィールドごとの立ち下がり比率が消費電力切り替わり比率  $\beta$  % 以上の範囲においては、本実施の形態に係るプラズマディスプレイ装置 1 0 0 は従来回収型プラズマディスプレイ装置と同様の電力回収の方式に切り替えられる。

- 10   その結果、矢印 B b の範囲でプラズマディスプレイ装置 1 0 0 のデータ回路損失相対比が従来回収型プラズマディスプレイ装置のデータ回路損失相対比より大きくなることが防止される。さらに、第 1 の実施の形態に係るプラズマディスプレイ装置よりも本実施の形態に係るプラズマディスプレイ装置 1 0 0 の方が最大となるデータ回路損失が低減される。

- 15   このように、第 4 の実施の形態に係るプラズマディスプレイ装置 1 0 0 は、各サブフィールドごとの立ち上がり比率が消費電力切り替わり比率  $\beta$  % 以上（累積立ち上がり数が回収方式切替数  $R_y$  以上）の範囲、または各サブフィールドごとの立ち下がり比率が消費電力切り替わり比率  $\beta$  % 以上（累積立ち下がり数が回収方式切替数  $R_y$  以上）の範囲において、従来回収型プラズマディスプレイ装置と  
20   同様の電力回収の方式に切り替えられる。したがって、全ての立ち上がり比率および立ち下がり比率の範囲で、消費電力が最適な電力回収の方式により十分に低減される。

- ここで、上記の消費電力切り替わり比率  $\beta$  % は、例えば 9 5 % である。この場合、第 4 の実施の形態に係るプラズマディスプレイ装置 1 0 0 は、各サブフィールドごとの立ち上がり比率が 9 5 % 以上の範囲、または各サブフィールドごとの  
25   立ち下がり比率が 9 5 % 以上の範囲において、従来回収型プラズマディスプレイ装置と同様の電力回収の方式に切り替えられる。

無回収型プラズマディスプレイ装置、従来回収型プラズマディスプレイ装置および第 1 の実施の形態に係るプラズマディスプレイ装置 1 0 0 の消費電力の大小

関係の変化について、図 28 に基づき説明する。

図 28 は、各サブフィールドごとの立ち上がり比率が 100% の場合（トリオ市松の場合）の無回収型プラズマディスプレイ装置、従来回収型プラズマディスプレイ装置および第 1 の実施の形態に係るプラズマディスプレイ装置 100 の消費電力を比較するための図である。

図 28 (a) に無回収型プラズマディスプレイ装置のアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  に印加されるデータパルス  $Pda$  を示し、図 28 (b) に従来回収型プラズマディスプレイ装置のアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  に印加されるデータパルス  $Pda$  を示し、図 28 (c) に第 1 の実施の形態に係るプラズマディスプレイ装置 100 のアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  に印加されるデータパルス  $Pda$  を示す。

図 28 (a) に示すように、立ち上がり比率が 100% の場合（トリオ市松の場合）、無回収型プラズマディスプレイ装置のアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  に印加されるデータパルス  $Pda$  は、PDP 7 の各画素に対応して立ち上がりおよび立ち下がりを繰り返す。この場合、無回収型プラズマディスプレイ装置の消費電力は、矢印で示される破線の範囲の直線的な電圧変化に相当する。

図 28 (b) に示すように、立ち上がり比率が 100% の場合（トリオ市松の場合）、従来回収型プラズマディスプレイ装置のアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  に印加されるデータパルス  $Pda$  は、無回収型プラズマディスプレイ装置と同様に PDP 7 の各画素に対応して立ち上がりおよび立ち下がりを繰り返す。この場合、従来回収型プラズマディスプレイ装置の消費電力は、矢印で示される破線の範囲の直線的な電圧変化に相当する。

図 28 (c) に示すように、立ち上がり比率が 100% の場合（トリオ市松の場合）、第 1 の実施の形態に係るプラズマディスプレイ装置 100 のアドレス電極  $41_1 \sim 41_n$ ,  $42_1 \sim 42_n$  に印加されるデータパルス  $Pda$  は、PDP 7 の各画素に対応して立ち上がりおよび立ち下がりを繰り返す。この場合、第 1 の実施の形態に係るプラズマディスプレイ装置 100 の消費電力は、矢印で示される破線の範囲の直線的な電圧変化に相当する。

上記の図 28 (a), (b), (c) を比較する。図 28 (a) の直線的な電圧変

化の大きさは、図 28 (b), (c) の直線的な電圧変化の大きさに比べて非常に大きい。したがって、立ち上がり比率が 100% の場合 (トリオ市松の場合) には無回収型プラズマディスプレイ装置の消費電力が最大となる。

- 図 28 (c) に示すように、第 1 の実施の形態に係るプラズマディスプレイ装置 100 においては、各データパルス P d a の電圧が立ち上がり開始時および立ち上がり終了時にそれぞれ直線的に変化する。それにより、各データパルス P d a の立ち上がり開始時および立ち上がり終了時に電力消費が発生する。

- 一方、図 28 (b) に示すように、従来回収型プラズマディスプレイ装置においては、各データパルス P d a の電圧が立ち上がり終了時に直線的に変化する。それにより、各データパルス P d a の立ち上がり終了時に電力消費が発生する。

したがって、立ち上がり比率が 100% の場合 (トリオ市松の場合) には、第 1 の実施の形態に係るプラズマディスプレイ装置 100 において発生する消費電力が、従来回収型プラズマディスプレイ装置において発生する消費電力よりも大きくなる (図 20 の矢印 B b の範囲)。

- これに対し、第 4 の実施の形態に係るプラズマディスプレイ装置 100 は、立ち上がり比率が 100% の場合 (トリオ市松の場合)、電力回収の方式が従来回収型プラズマディスプレイ装置と同様に切り替えられる。したがって、第 4 の実施の形態に係るプラズマディスプレイ装置 100 の消費電力は、立ち上がり比率が 100% の場合 (トリオ市松の場合) でも、他の構成を有するプラズマディスプレイ装置の消費電力と比較して大きくなることが防止されている (図 27)。

- このように、第 4 の実施の形態に係るプラズマディスプレイ装置 100 では、立ち上がり比率または立ち下がり比率が、消費電力切り替わり比率  $\beta\%$  を超える場合に電力回収の方式が従来回収型プラズマディスプレイ装置の電力回収の方式に切り替わる。その結果、第 4 の実施の形態に係るプラズマディスプレイ装置 100 によれば、立ち上がり比率または立ち下がり比率が消費電力切り替わり比率  $\beta\%$  を超える場合であっても、十分に消費電力を低減することが可能となっている。

すなわち、第 4 の実施の形態に係るプラズマディスプレイ装置 100 は、発光状態にかかわらず十分に消費電力を低減することが可能となっている。



なお、第４の実施の形態に係るプラズマディスプレイ装置１００の備える電力回収回路８ａおよび第２の電力回収回路８ｂは、図６の構成に限らず、図２１または図２２の構成を有してもよい。

さらに、第４の実施の形態に係るプラズマディスプレイ装置１００の備える図  
5 24の立ち上がり回数比較器３１では、累積立ち上がり回数検出器２０からのカウント信号ＳＬに基づいて、立ち上がり比率を算出し、算出された立ち上がり比率が消費電力切り替わり比率β％以上であるか否かを判別し、その判別結果を示す判別信号ＵＣを図２４の回収切替決定部３２に与えているが、回収方式切替数  
10 Ryを予め記憶し、累積立ち上がり回数検出器２０からのカウント信号ＳＬが、回収方式切替数Ry以上であるか否かを判別し、その判別結果を示す判別信号ＵＣを回収切替決定部３２に与えてもよい。

以上の第１～第４の実施の形態においては、プラズマディスプレイ装置１００が表示装置に相当し、複数のアドレス電極４１₁～４１ₙ、４２₁～４２ₙが第１の電極に相当し、複数のスキャン電極１２₁～１２ₘが第２の電極に相当し、放  
15 電セル１４が容量性発光素子に相当し、PDP７が表示パネルに相当し、サブフィールド処理器３、第１のデータドライバ群４ａおよび第１の電力回収回路８ａから構成される回路ならびに第２のデータドライバ群４ｂおよび第２の電力回収回路８ｂから構成される回路がドライブ回路に相当する。

また、図６のノードＮ１の電圧NV１が駆動パルスに相当し、図２および図３  
20 の書き込み期間P２がアドレス期間に相当し、データパルス位相差TRが位相差に相当し、データパルスPdaがデータパルスに相当する。

さらに、電源電圧Vdaが第１の電源電圧に相当し、電源端子V１が第１の電源端子に相当し、図６のノードＮ１が第１のノードに相当し、Nチャネル電界効果トランジスタQ１が第１のスイッチング素子に相当し、Nチャネル電界効果ト  
25 ランジスタQ２が第２のスイッチング素子に相当する。

また、ノードＮ２が第２のノードに相当し、回収コイルLが誘導性素子に相当し、ノードＮ３が第３のノードに相当し、Nチャネル電界効果トランジスタQ３が第３のスイッチング素子に相当し、Nチャネル電界効果トランジスタQ４が第４のスイッチング素子に相当し、回収コンデンサC１が回収用容量性素子に相当

する。

さらに、限界電圧 $V_r$ が所定値に相当し、回収電位クランプ回路80, 81, 82が電位制限回路に相当し、Pチャネル電界効果トランジスタ $Q_{1_1} \sim Q_{1_n}$ およびNチャネル電界効果トランジスタ $Q_{2_1} \sim Q_{2_n}$ が第1のスイッチング回路に相当し、図6のノードN5の電圧 $NV_5$ および図21の電源端子V2に印加される電圧が制御信号に相当し、電源端子V2に印加される電圧が第2の電源電圧に相当し、電源端子V2が第2の電源端子に相当する。

また、ダイオードD3, D4、バイポーラトランジスタQ5および抵抗R3が第2のスイッチング回路に相当し、ノードN4が第4のノードに相当し、バイポーラトランジスタQ5が第5のスイッチング素子に相当し、ダイオードD3およびツェナーダイオードD5が一方向性導通素子に相当し、チャージポンプ回路CG1, CG2がチャージポンプ回路に相当する。

さらに、ノードNa, Ncは第5のノードに相当し、コンデンサCCp1, CCp2が充電用容量素子に相当し、電源端子Vp2, Vp4が第3の電源端子に相当し、電源端子Vp2, Vp4に印加される電圧(15V)が第3の電源電圧に相当し、ダイオードDp1, Dp2が一方向性導通素子に相当し、FETドライバFD1, FD2が制御信号出力回路に相当する。

その上、第1の電力回収回路8aおよび第2の電力回収回路8bが印加回路に相当し、抵抗R1, R2およびノードN5が分割回路に相当し、累積立ち上がり回数検出器20が回数検出部に相当し、サブフィールド処理器3、立ち上がり回数比較器31、回収切替決定部32および制御信号発生器33が制御部に相当する。また、立ち上がり比率および立ち下がり比率がデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により算出された回数の比率に相当し、消費電力切り替わり比率 $\beta\%$ が所定の比率値に相当する。さらに、画像データSPが画像データに相当し、映像信号-サブフィールド対応付け器2が変換部に相当する。

## 請 求 の 範 囲

1. 複数群に分類された第 1 の電極と、  
前記第 1 の電極に交差するように設けられた第 2 の電極と、  
5 前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、  
前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、  
10 前記ドライブ回路は、  
回収用容量性素子と、  
前記回収用容量性素子から前記第 1 の電極に電荷を放出し、または前記第 1 の電極からの電荷を前記回収用容量性素子に回収することにより、前記第 1 の電極にデータパルスを印加するための駆動パルスを印加する印加回路と、  
15 前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含む、表示装置。
2. 複数群に分類された第 1 の電極と、  
20 前記第 1 の電極に交差するように設けられた第 2 の電極と、  
前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、  
前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、  
25 前記ドライブ回路は、  
誘導性素子と、  
回収用容量性素子と、  
前記表示パネルの容量と前記誘導性素子との共振動作により前記回収用容量性

素子から電荷を前記第 1 の電極に放出して、または前記第 1 の電極から前記誘導性素子を介して前記回収用容量性素子へ電荷を回収することにより前記複数群の第 1 の電極にデータパルスを印加するための駆動パルスを前記第 1 のノードに印加する印加回路と、

- 5 前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含む、表示装置。

3. 複数群に分類された第 1 の電極と、

- 10 前記第 1 の電極に交差するように設けられた第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、

前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライ

- 15 プ回路とを備え、

前記ドライブ回路は、

第 1 の電源電圧を受ける第 1 の電源端子と、

誘導性素子と、

回収用容量性素子と、

- 20 前記表示パネルの容量と前記誘導性素子との共振動作により前記回収用容量性素子から電荷を放出して第 1 のノードの電位を立ち上げ、前記第 1 のノードと前記第 1 の電源端子とを接続した後、前記第 1 のノードと前記第 1 の電源端子との接続を遮断し、前記共振動作により前記第 1 のノードから前記誘導性素子を介して前記回収用容量性素子へ電荷を回収して前記第 1 のノードの電位を立ち下げる
- 25 ことにより、前記複数群の第 1 の電極にデータパルスを印加するための駆動パルスを前記第 1 のノードに印加する印加回路と、

前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が前記第 1 の電源電圧よりも低い所定値を超えないように制限する電位制限回路とを含む、表示装置。

4. 前記誘導性素子は、前記第1のノードと第2のノードとの間に設けられ、  
前記回収用容量性素子は、第3のノードに接続され、  
前記電位制限回路は、前記第3のノードの電位を制限することにより、前記回
- 5 収用容量素子の電位が前記所定値を超えないように制限し、  
前記印加回路は、  
前記第1の電源端子と前記第1のノードとの間に設けられた第1のスイッチン  
グ素子と、  
接地電位を受ける接地端子と前記第1のノードとの間に設けられた第2のスイ
- 10 ッチング素子と、  
前記第2のノードと前記第3のノードとの間に設けられた第3のスイッチング  
素子と、  
前記第2のノードと前記第3のノードとの間に設けられた第4のスイッチング  
素子とを含み、
- 15 前記表示パネルの選択された前記容量性発光素子を発光させるためのアドレス  
期間において、前記第3のスイッチング素子がオンすることにより前記回収用容  
量性素子から前記誘導性素子を通して前記第1のノードに電荷が放出され、前記  
第1のノードの電位が立ち上がり、前記第3のスイッチング素子がオフして、前  
記第1のスイッチング素子がオンすることにより前記第1のノードの電位が前記
- 20 第1の電源電圧に立ち上がり、前記第1のスイッチング素子がオフして、前記第  
4のスイッチング素子がオンすることにより前記第1のノードから前記誘導性素  
子を通して前記回収用容量性素子に電荷が回収されて前記第1のノードの電位が  
立ち下がることにより、前記駆動パルスが発生する、請求項3記載の表示装置。
- 25 5. 前記ドライブ回路は、前記第1の電極に対応して設けられる第1のスイッ  
チング回路をさらに含み、  
前記第1のスイッチング回路がオンすることにより、前記第1のノードと前記  
第1の電極との間で電荷の回収および放出が行われ、前記第1のスイッチング回  
路がオフすることにより、対応する前記第1の電極が接地電位に設定されるよう

に動作する、請求項 3 記載の表示装置。

6. 前記電位制限回路は、

前記第 1 の電源電圧と接地電位との間の電圧を分割することにより前記所定値  
5 にほぼ等しい電位を生成する分割回路と、

前記第 3 のノードと前記接地端子との間に接続されるとともに前記分割回路により生成される電位を制御信号として受け、前記第 3 のノードの電位が前記所定値を超える場合にオンする第 2 のスイッチング回路とを含む、請求項 4 記載の表示装置。

10

7. 前記電位制限回路は、

前記所定値にほぼ等しい第 2 の電源電圧を受ける第 2 の電源端子と、

前記第 3 のノードと前記接地端子との間に接続されるとともに前記第 2 の電源端子が受ける前記第 2 の電源電圧を制御信号として受け、前記第 3 のノードの電  
15 位が前記所定値を超える場合にオンする第 2 のスイッチング回路とを含む、請求項 4 記載の表示装置。

8. 前記第 2 のスイッチング回路は、

前記第 3 のノードと第 4 のノードとの間に設けられ、前記第 3 のノードから前  
20 記第 4 のノードへ電流を流す一方向性導通素子と、

前記第 4 のノードと前記接地端子との間に設けられ、前記制御信号を受ける制御端子を有する第 5 のスイッチング素子とを含む、請求項 6 記載の表示装置。

9. 前記電位制限回路は、

25 前記第 3 のノードと前記接地端子との間に設けられ、前記第 3 のノードの電位が前記所定値を超える場合に前記第 3 のノードから前記接地端子に電流を流す一方向性導通素子を含む、請求項 4 記載の表示装置。

10. 前記一方向性導通素子は、ツェナーダイオードである、請求項 9 記載の

表示装置。

1 1. 前記第 1 のスイッチング素子をオンするために、前記第 1 のノードの電位よりも高い電位を発生するチャージポンプ回路をさらに備える、請求項 4 記載  
5 の表示装置。

1 2. 前記チャージポンプ回路は、  
前記第 1 のノードと第 5 のノードとの間に設けられる充電用容量素子と、  
第 3 の電源電圧を受ける第 3 の電源端子と前記第 5 のノードとの間に設けられ  
10 、前記第 2 の電源端子から前記第 5 のノードに電流を流す一方向性導通素子と、  
前記第 1 のノードの電位に前記第 5 のノードの電位を加算し、加算された電位  
を前記第 1 のスイッチング素子に制御信号として出力する制御信号出力回路とを  
含む、請求項 1 1 記載の表示装置。

15 1 3. 前記所定値は、前記第 1 の電源電圧の 2 分の 1 よりも高く、前記第 1 の  
電源電圧の 5 分の 4 以下である、請求項 3 記載の表示装置。

1 4. 前記位相差は、200 ns 以上である、請求項 3 記載の表示装置。

20 1 5. 前記ドライブ回路を複数有し、  
複数の前記ドライブ回路は前記複数群にそれぞれ対応して設けられ、  
複数の前記ドライブ回路は、前記複数群で互いに位相差が生じるようにそれぞ  
れ前記複数群の前記第 1 の電極に選択された容量性発光素子を発光させるための  
データパルスを印加する、請求項 3 記載の表示装置。

25 1 6. 前記第 1 の電極に印加されるデータパルスの立ち上がりの回数または立  
ち下がりの回数を検出する回数検出部をさらに備え、  
前記ドライブ回路は、  
データパルスの立ち上がり可能な最大回数または立ち下がり可能な最大回数

数に対する前記回数検出部により検出された前記回数の比率を算出し、前記比率が所定の比率値よりも大きい場合に、前記第 1 のノードの電位を所定の電圧値まで立ち下げた後、前記第 1 のノードを接地するように前記印加回路の動作を制御する制御部をさらに含む、請求項 3 記載の表示装置。

5

17. 1 フィールドを複数のサブフィールドに分割してサブフィールドごとに選択された前記容量性発光素子を放電させて階調表示を行うために、1 フィールドの画像データを各サブフィールドの画像データに変換する変換部をさらに備え

10 前記回数検出部は、前記変換部から与えられる画像データに基づいて各サブフィールドごとの前記回数を検出し、

前記制御部は、

各サブフィールドにおけるデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する前記回数検出部により得られた前記回数の  
15 比率を算出し、前記比率が所定の比率値よりも大きい場合に、前記第 1 のノードの電位を所定の電圧値まで立ち下げた後、前記第 1 のノードを接地するように前記印加回路の動作を制御する、請求項 16 記載の表示装置。

18. 前記所定の比率値は 95 % 以上である、請求項 16 記載の表示装置。

20

19. 複数群に分類された第 1 の電極、前記第 1 の電極に交差するように設けられた第 2 の電極および前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を備える表示パネルを含む表示装置の駆動方法であって

25 前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するステップを備え、

前記データパルスを印加するステップは、

前記表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から



- 電荷を放出して第 1 のノードの電位を立ち上げ、前記第 1 のノードと第 1 の電源端子とを接続した後、前記第 1 のノードと前記第 1 の電源端子との接続を遮断し、前記共振動作により前記第 1 のノードから前記誘導性素子を介して前記回収用容量性素子へ電荷を回収して前記第 1 のノードの電位を立ち下げることにより、
- 5 前記複数群の第 1 の電極にデータパルスを印加するための駆動パルスを前記第 1 のノードに印加するステップと、

前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が前記第 1 の電源電圧よりも低い所定値を超えないように制限するステップとを含む、表示装置の駆動方法。

10

20. 前記第 1 の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数を検出するステップと、

- データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する検出された前記回数の比率を算出し、前記比率が所定の比率値よりも
- 15 大きい場合に、前記第 1 のノードの電位を所定の電圧値まで立ち下げた後、前記第 1 のノードを接地するように前記印加回路の動作を制御するステップとをさらに備える、請求項 19 記載の表示装置の駆動方法。

21. 前記所定の比率値は 95 % 以上である、請求項 20 記載の表示装置の駆
- 20 動方法。

22. 前記所定値は、前記第 1 の電源電圧の 2 分の 1 よりも高く、前記第 1 の電源電圧の 5 分の 4 以下である、請求項 19 記載の表示装置の駆動方法。

FIG. 1

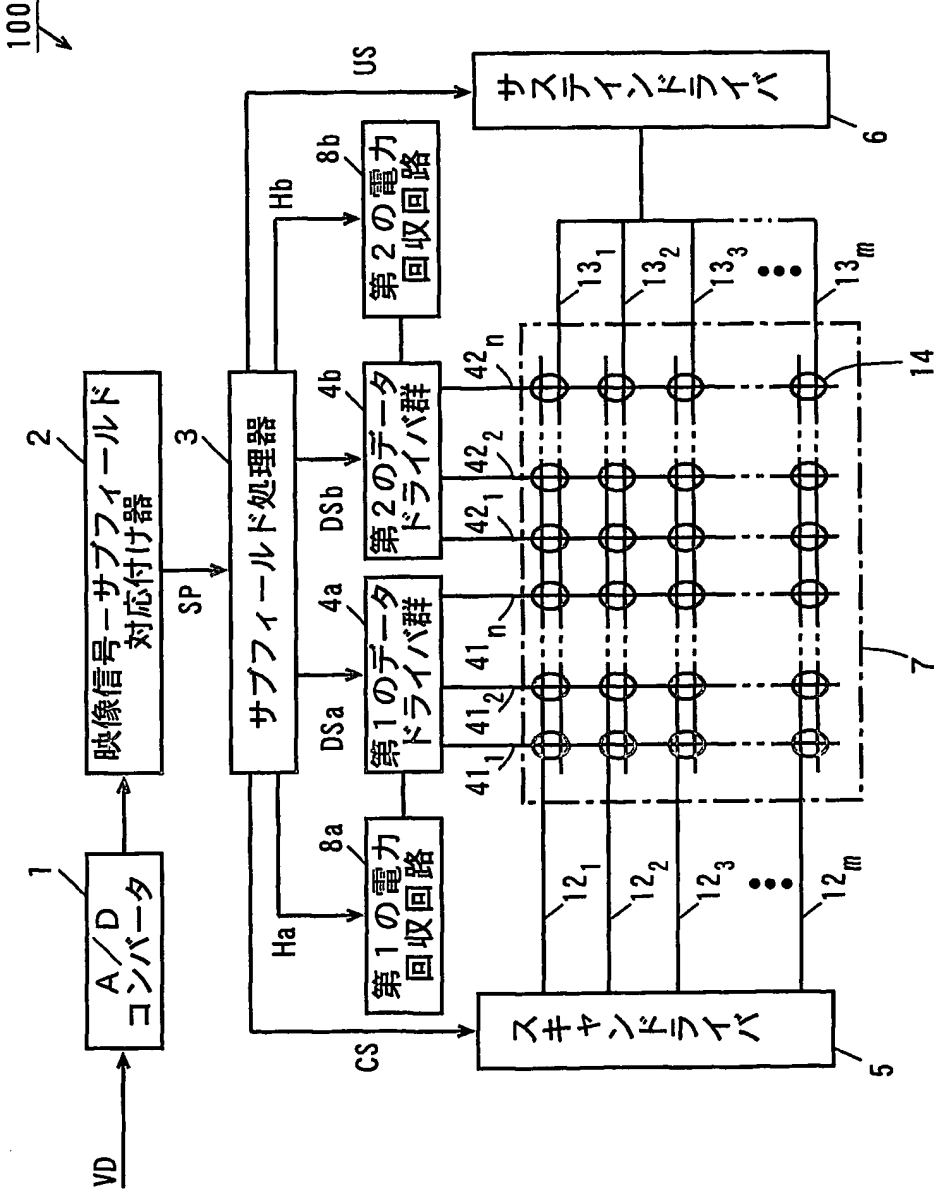


FIG. 2

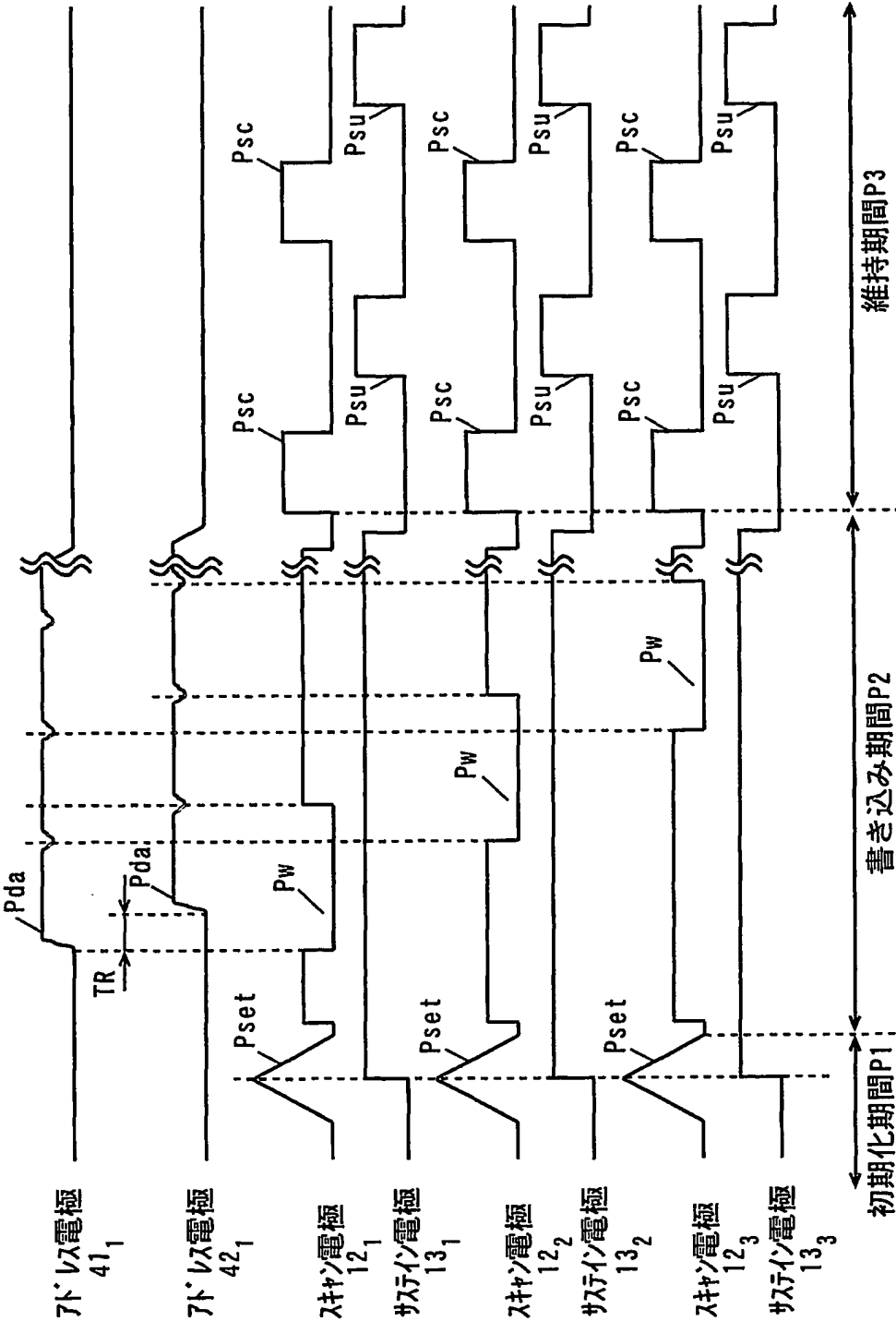


FIG. 3

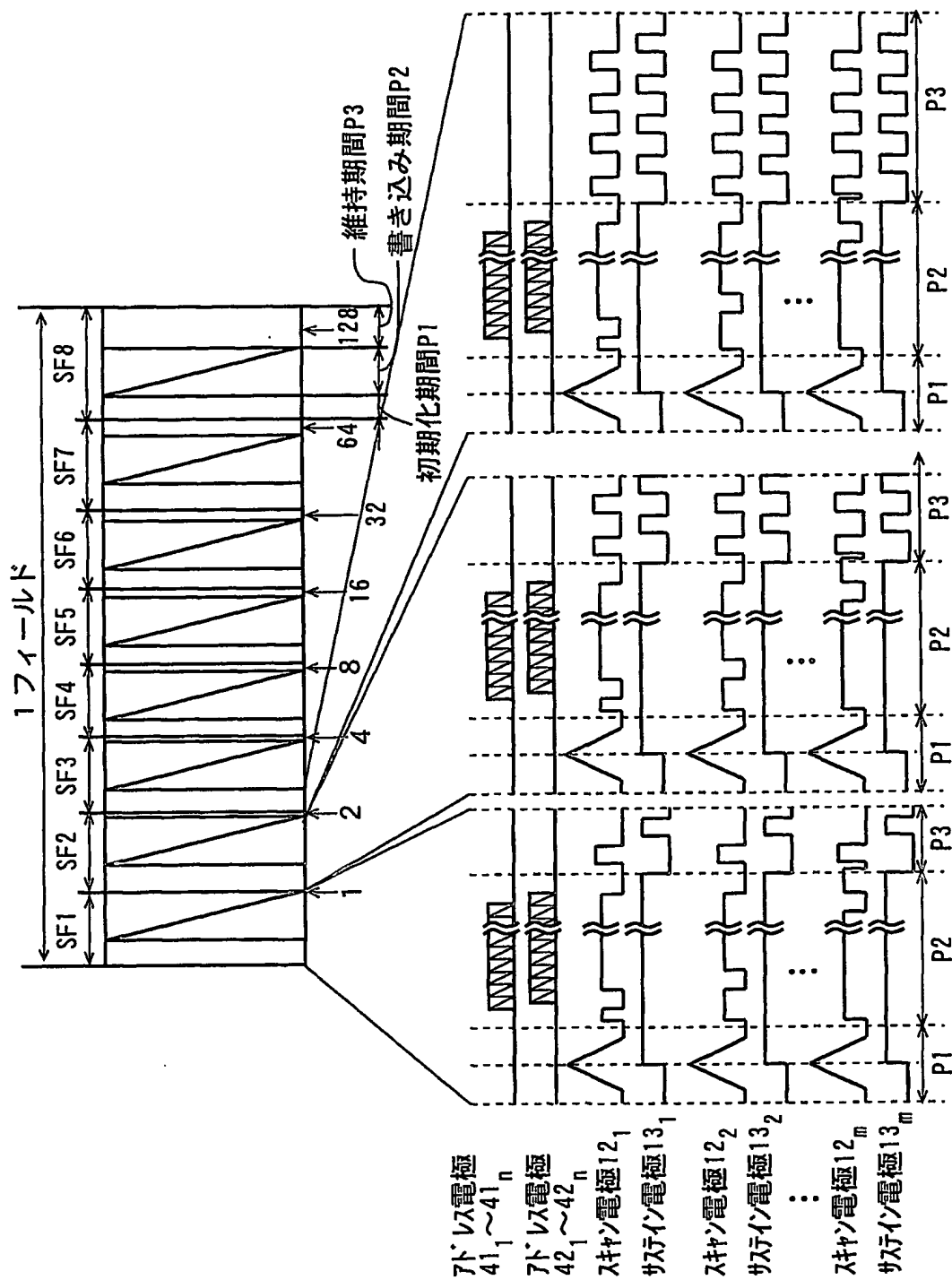


FIG. 4

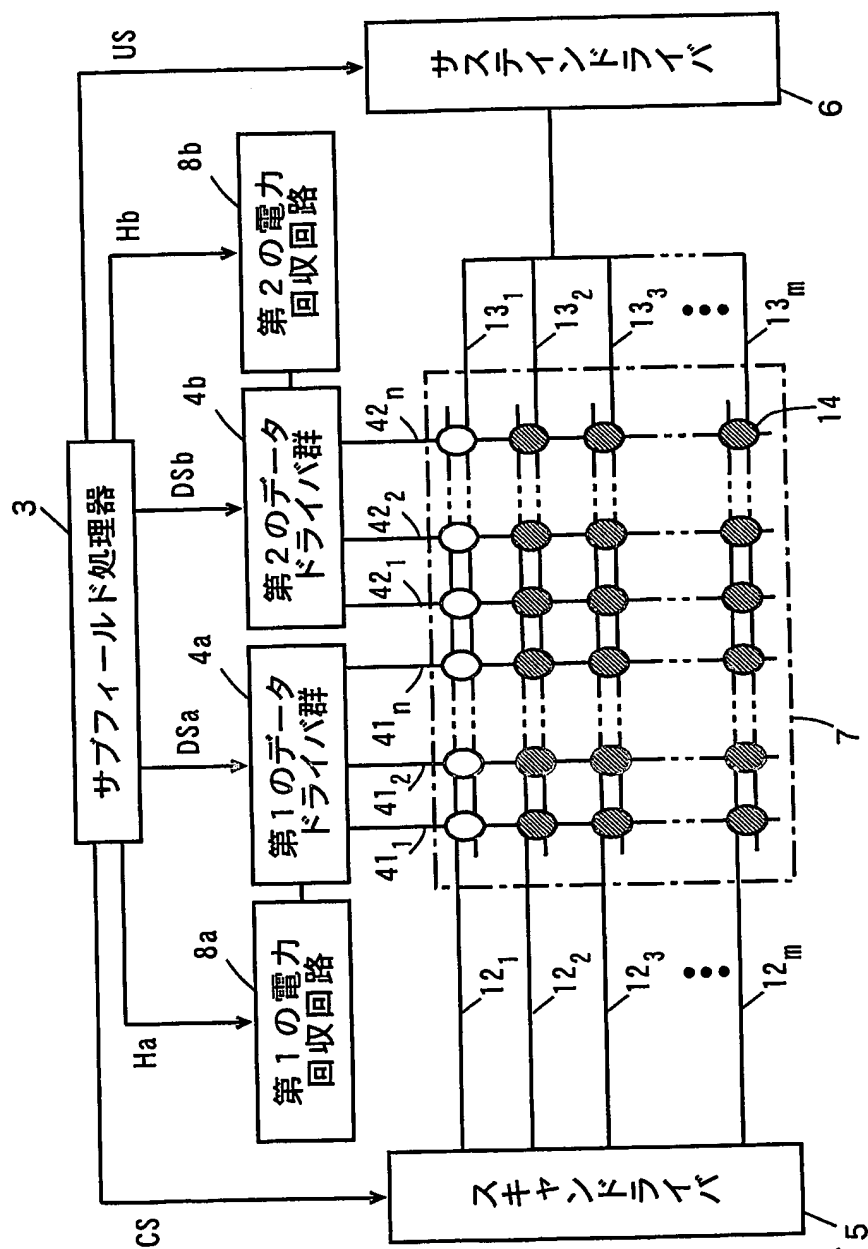


FIG. 5

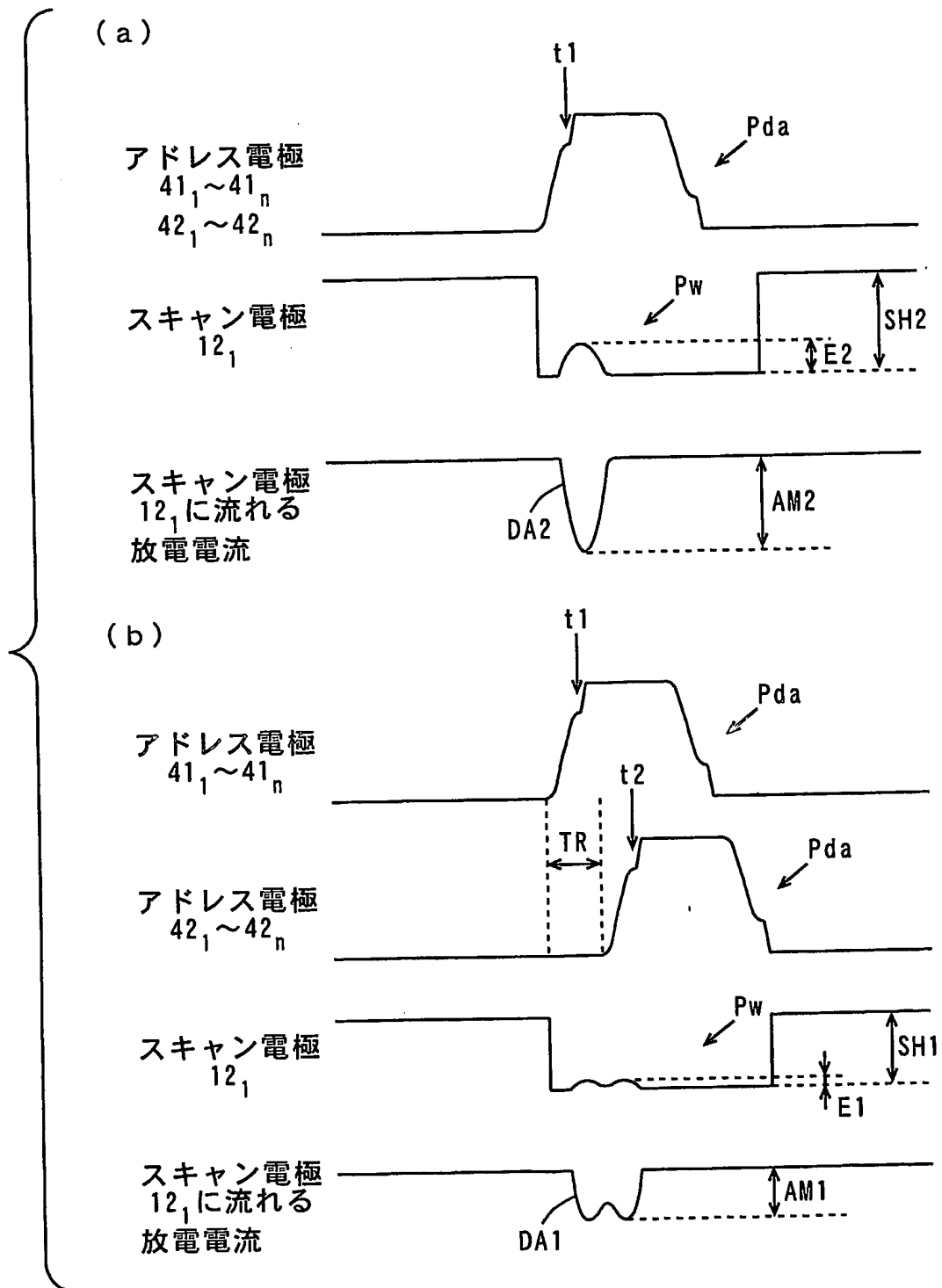


FIG. 6

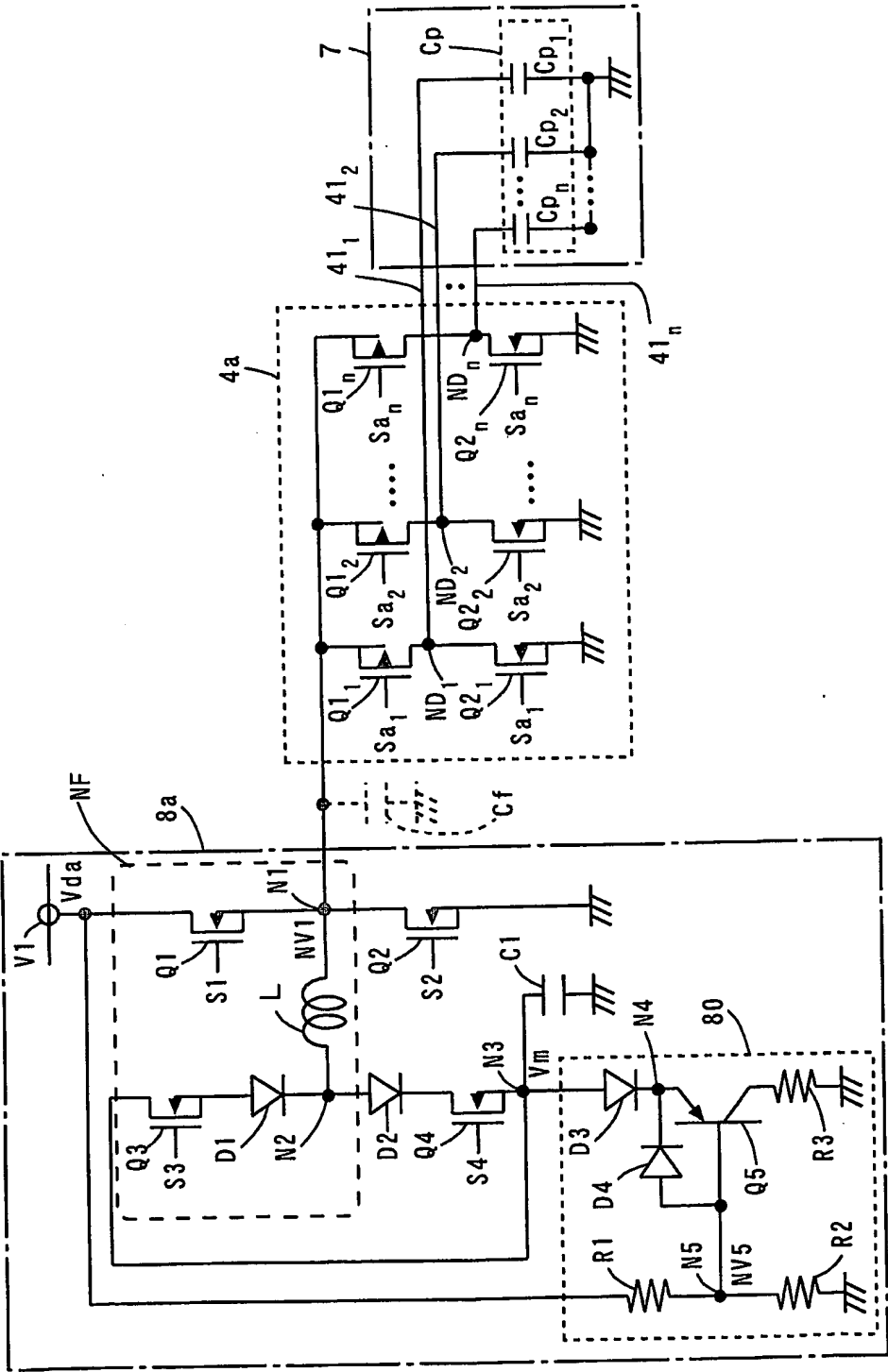


FIG. 7

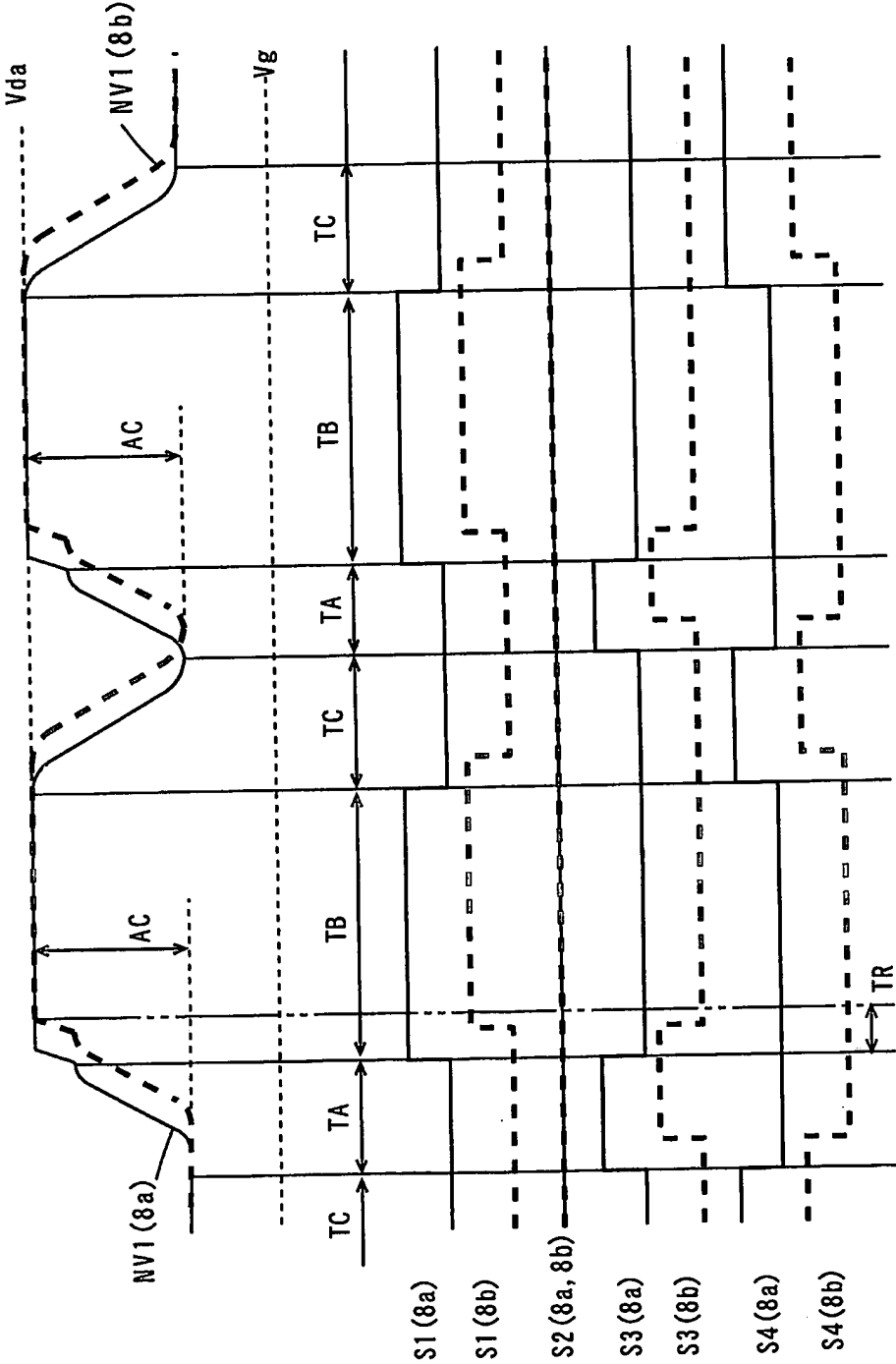




FIG. 8

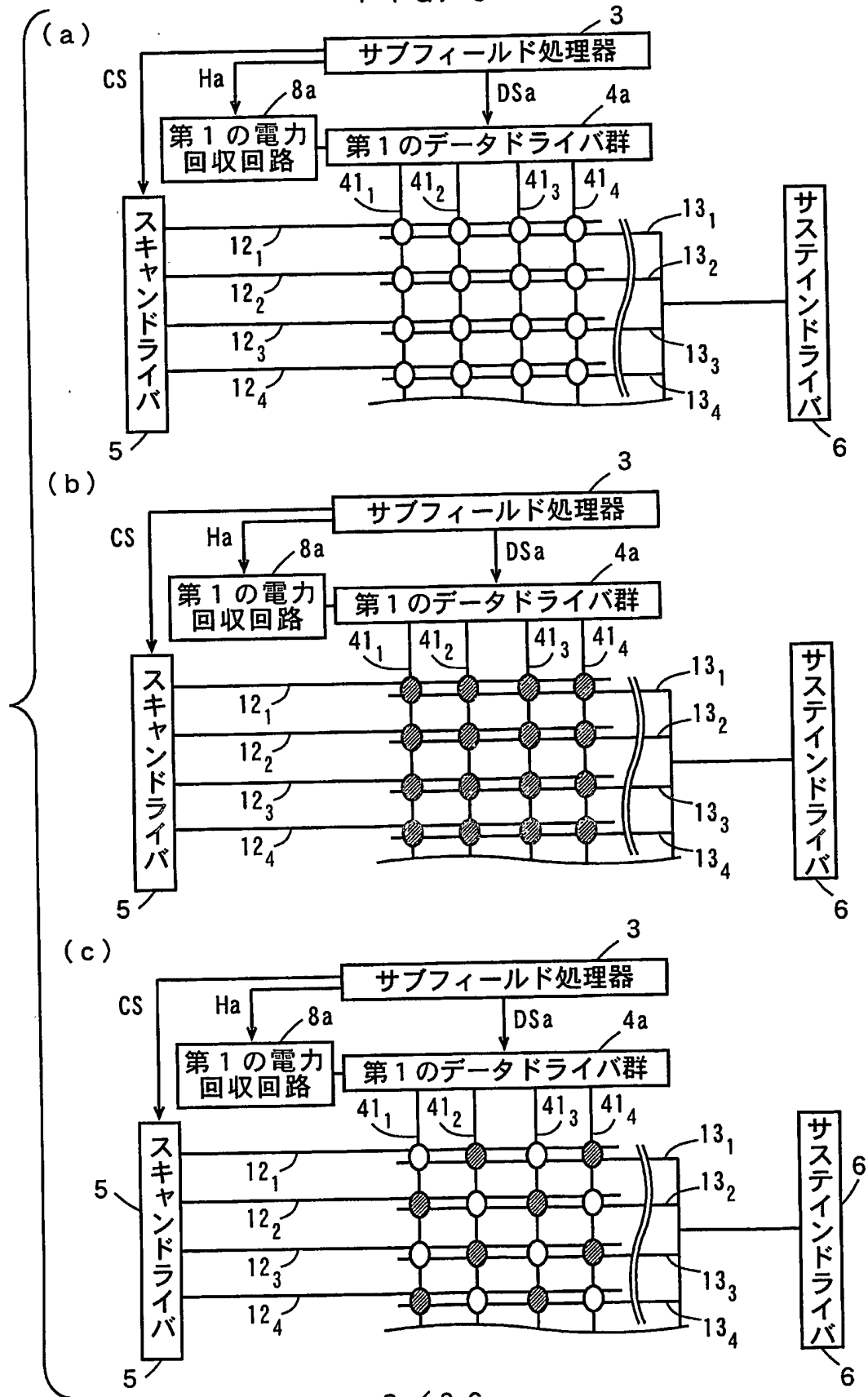


FIG. 9

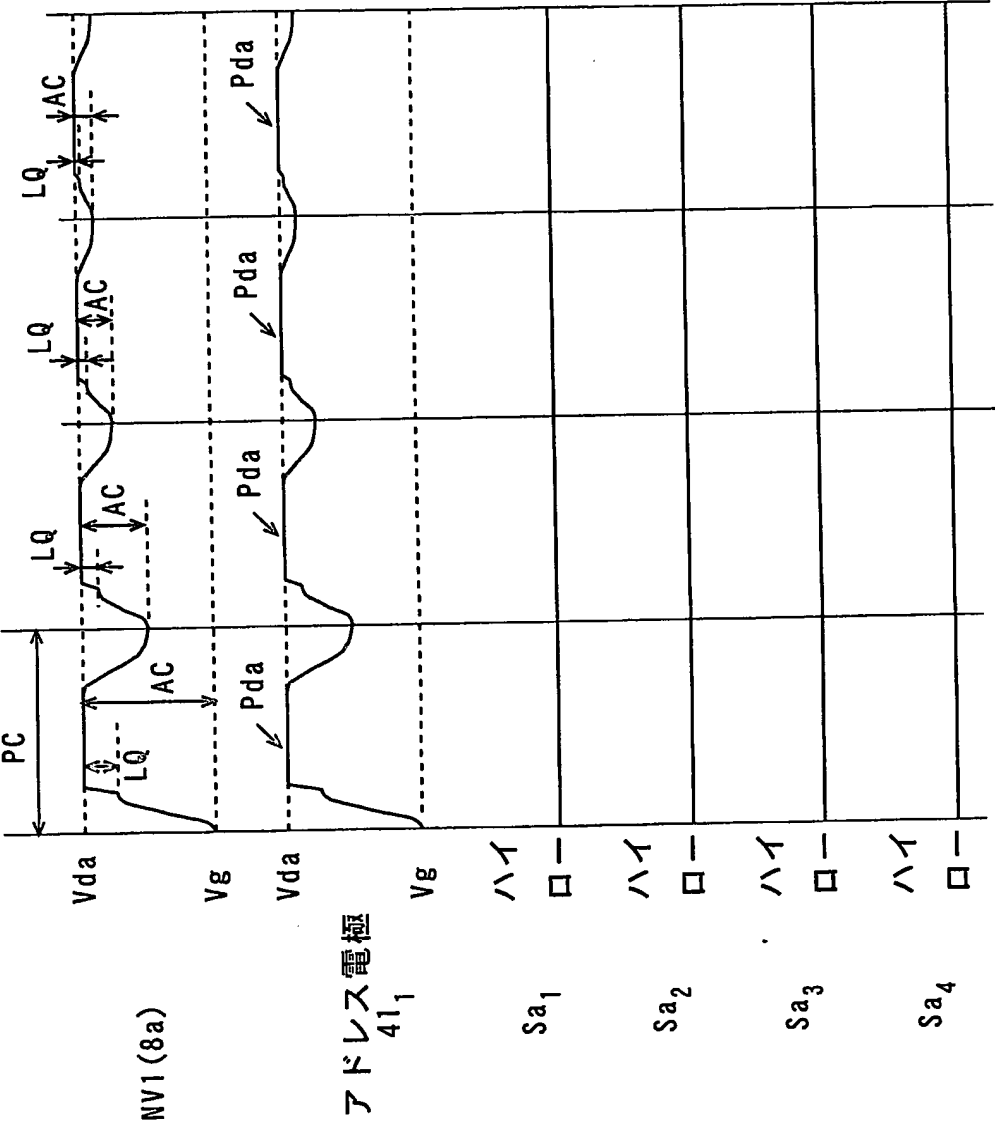


FIG. 10

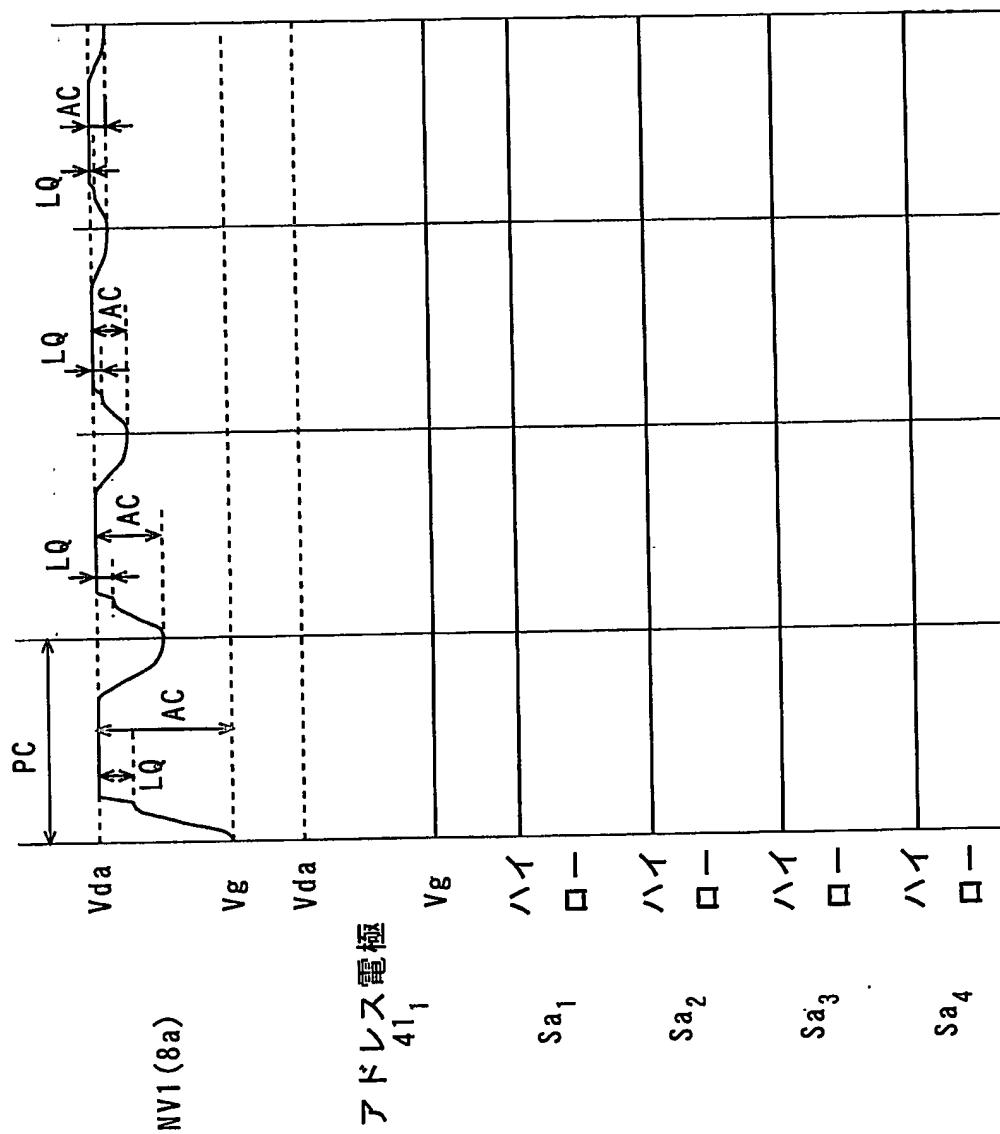


FIG. 11

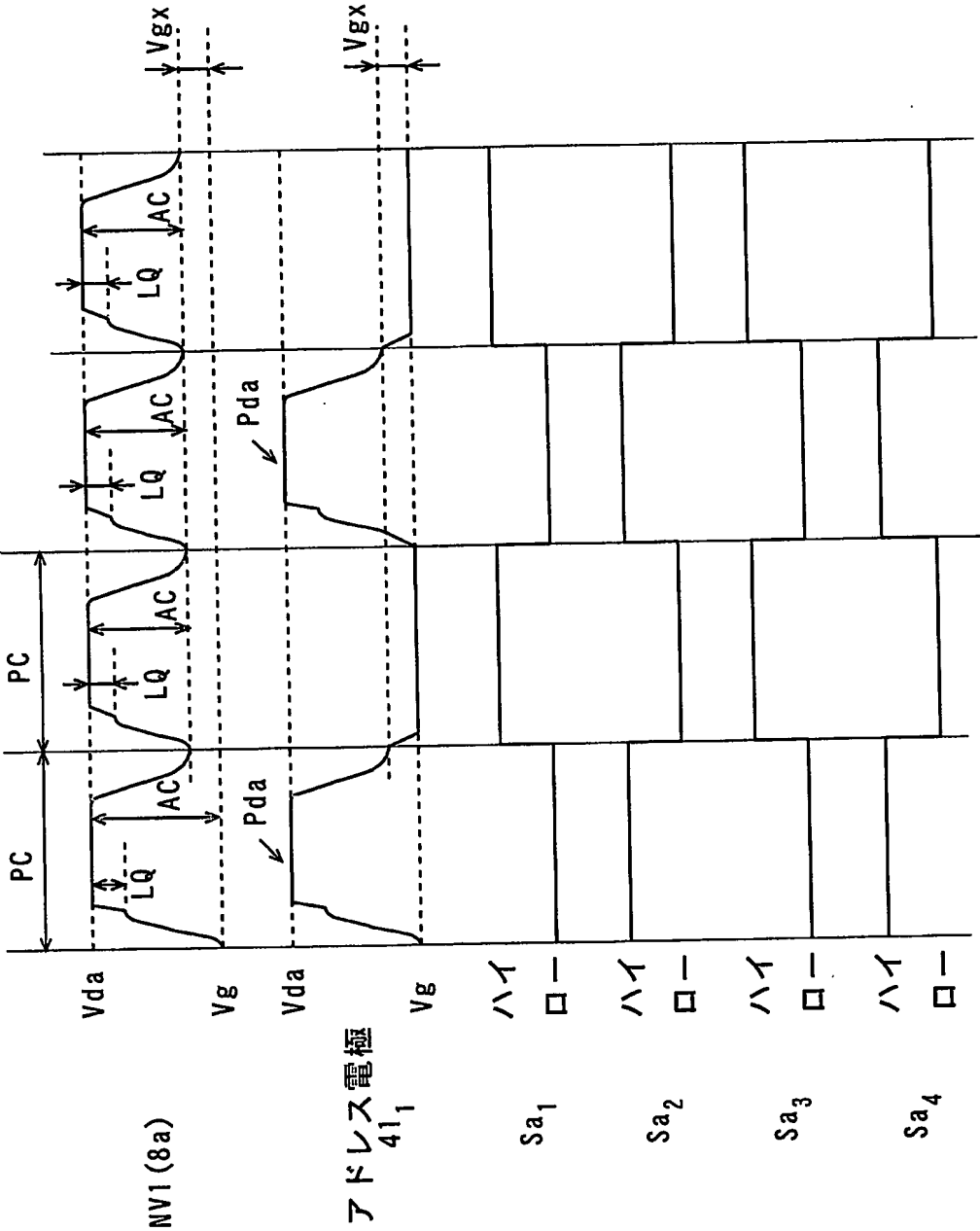


FIG. 12

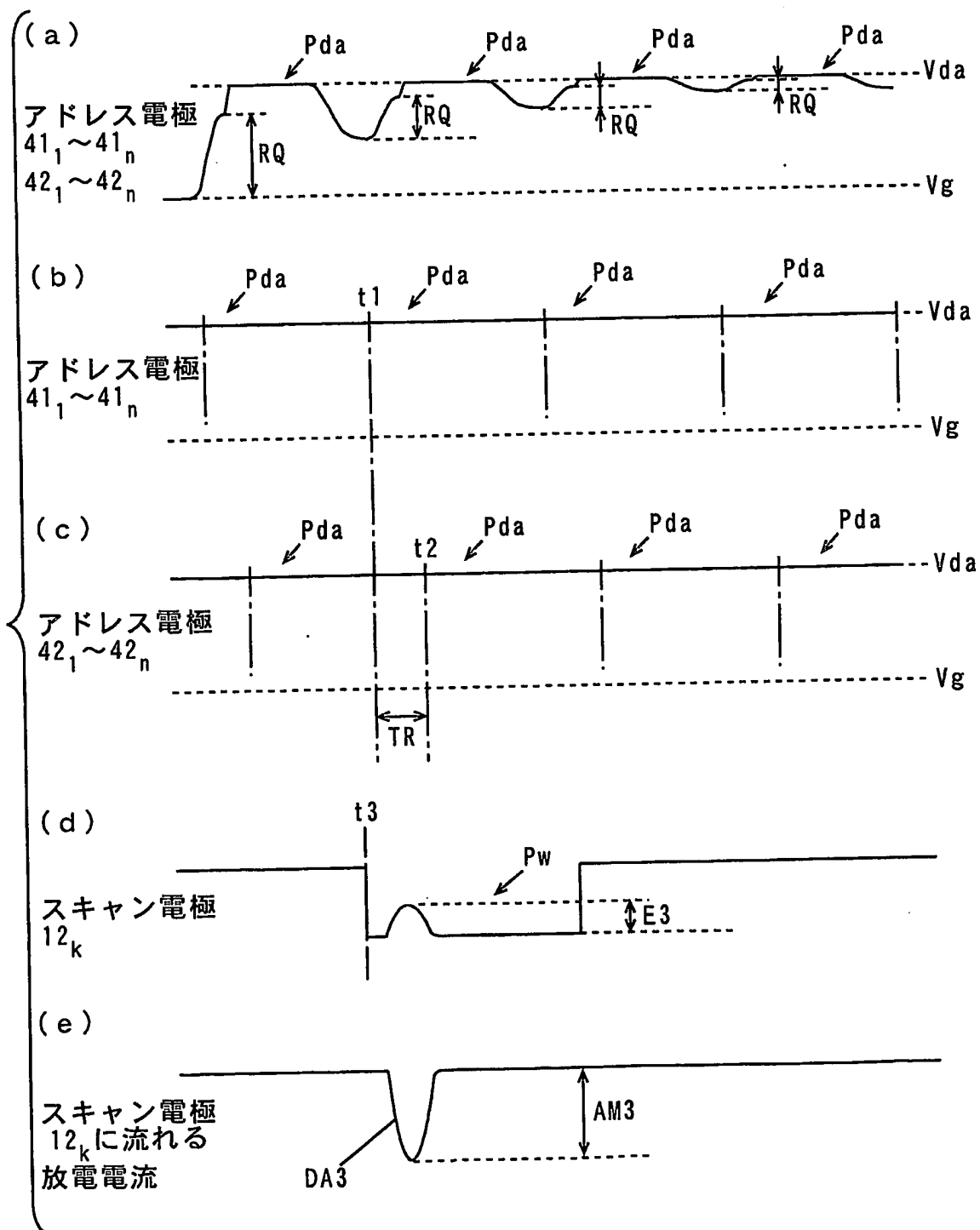


FIG. 13

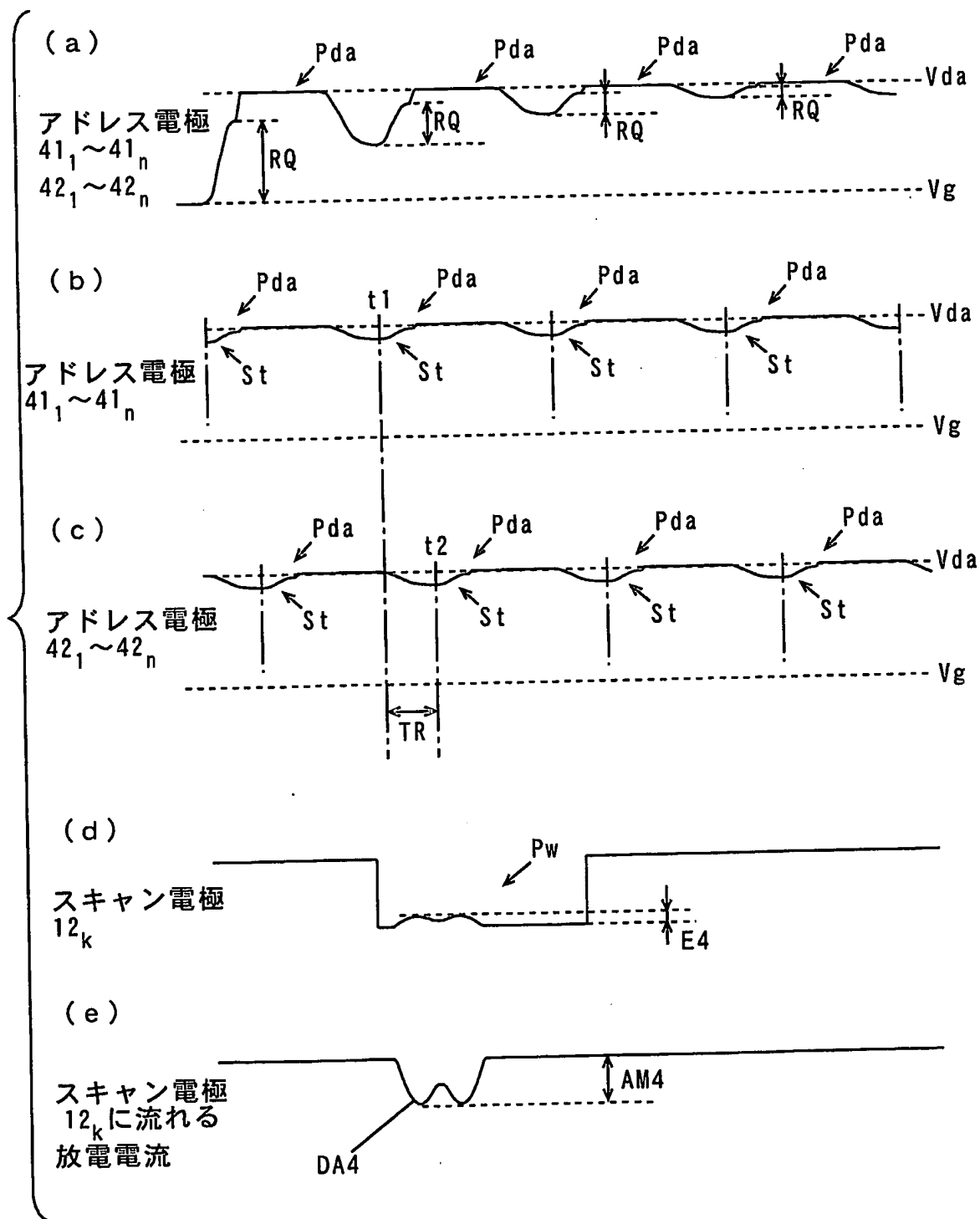


FIG. 14

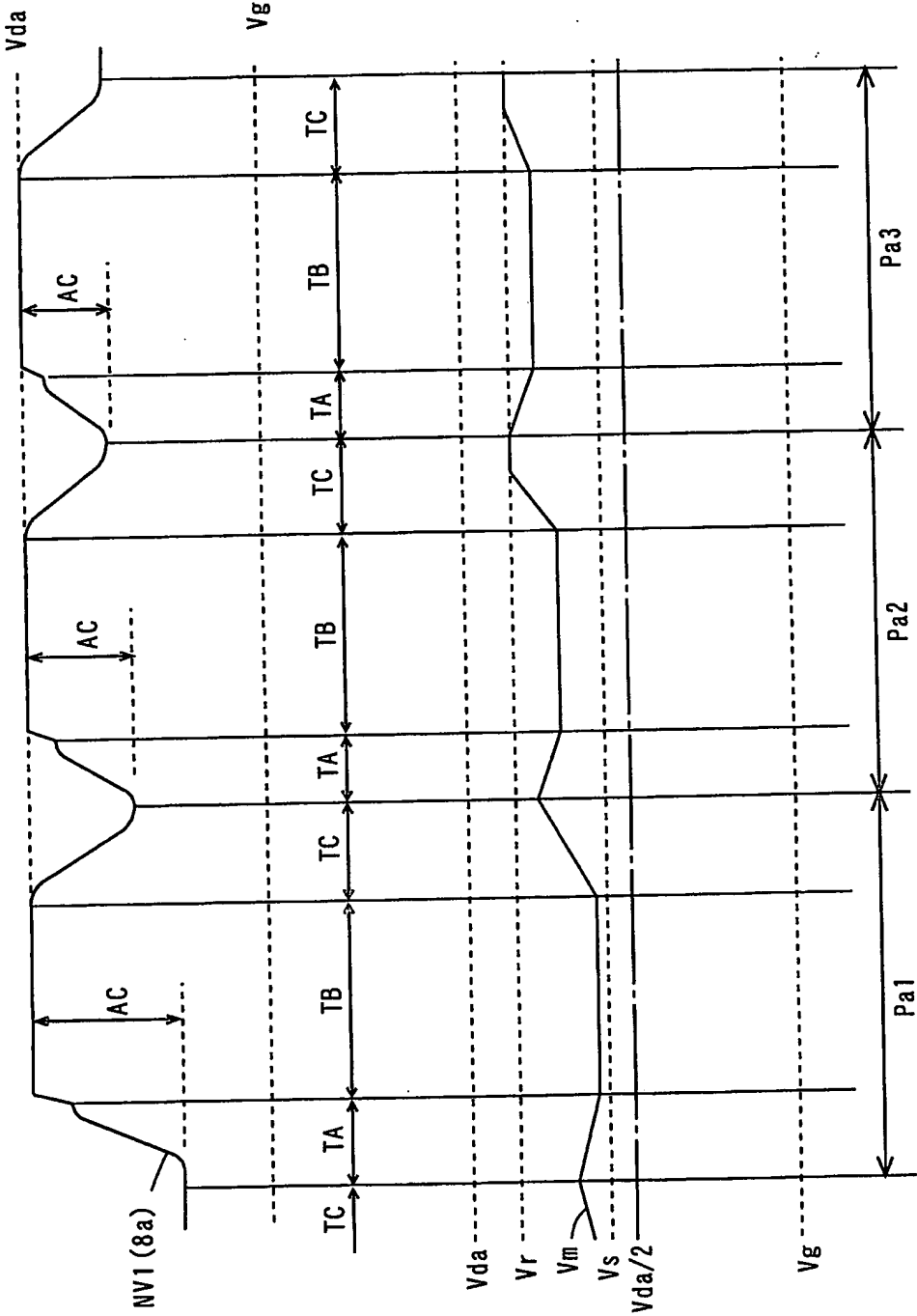


FIG. 15

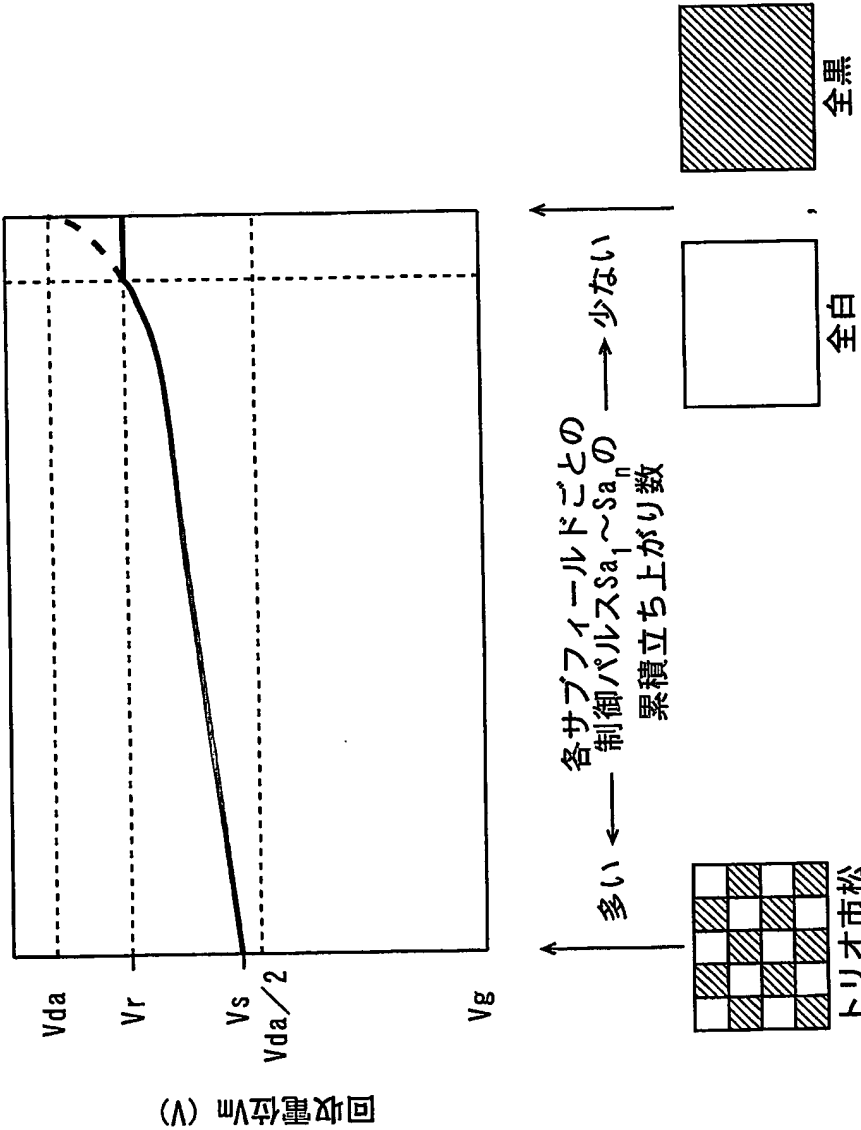




FIG. 16

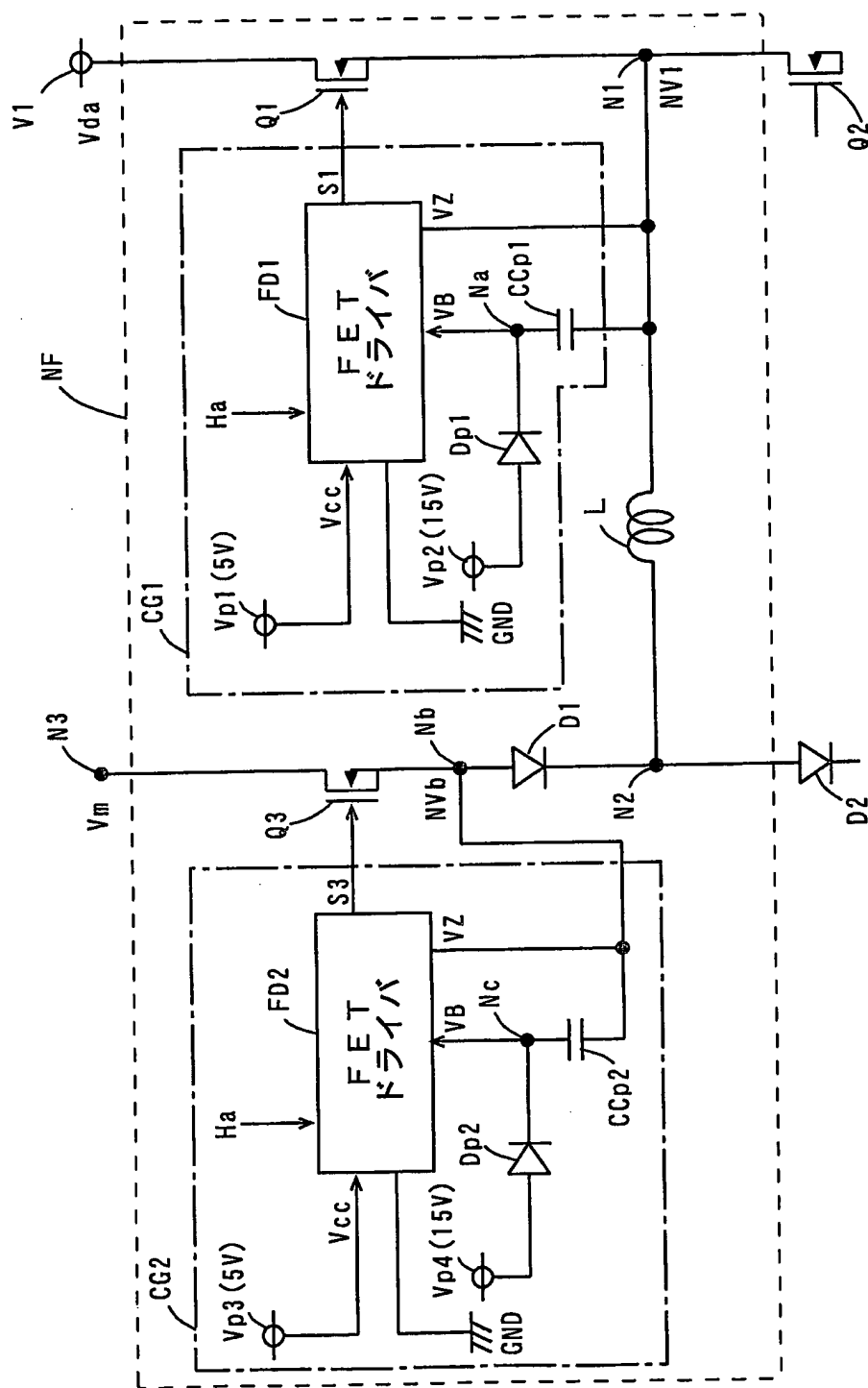
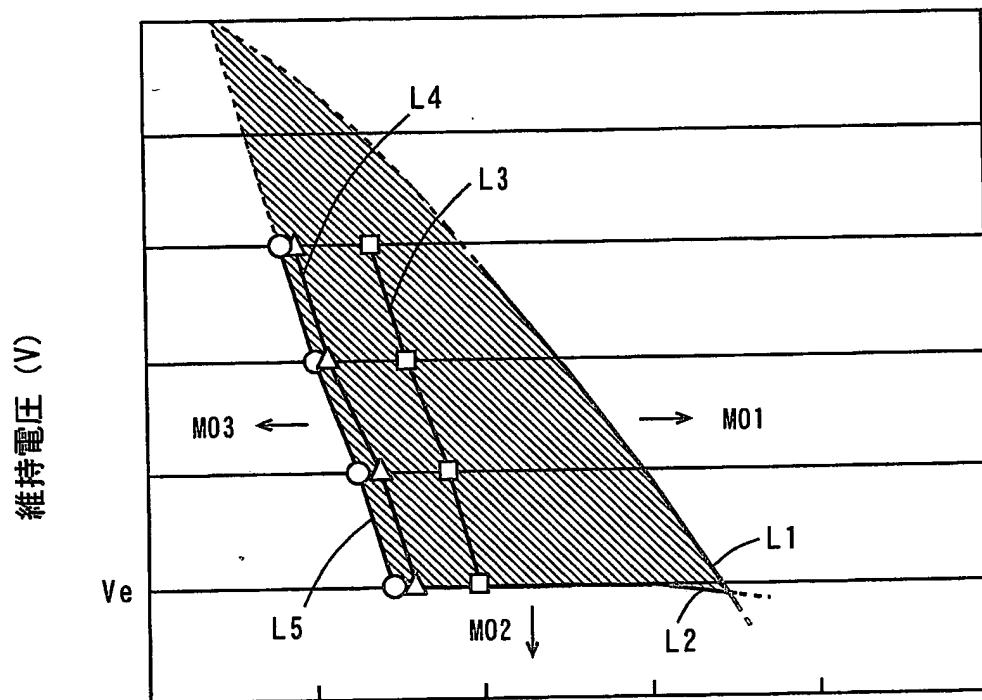


FIG. 17

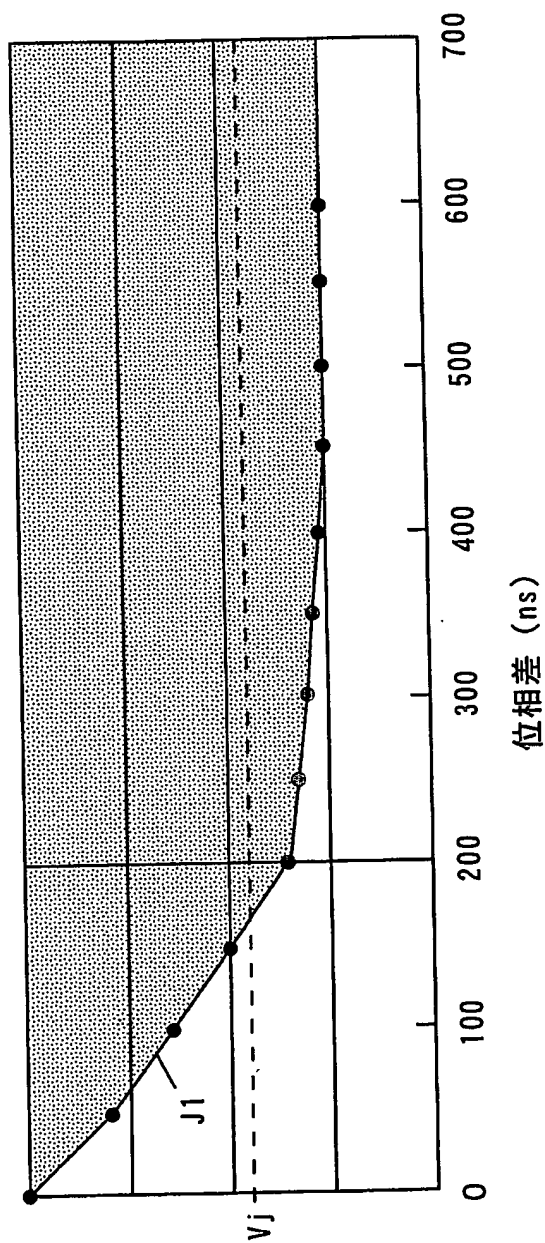
駆動マージン ( $V_r=0.8V_{da}$ の場合)

書込み電圧 (V)

- : 位相差 0
- △— : 位相差 150nsec
- : 位相差 200nsec

FIG. 18

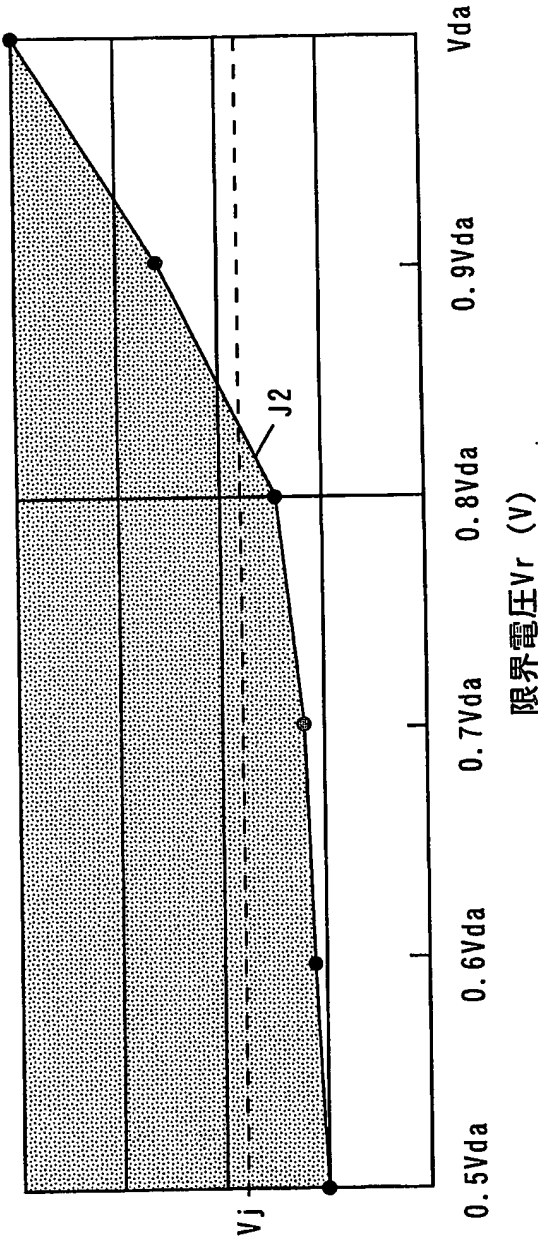
安定した放電を得ることができる書込み電圧  
(維持電圧を所定の電圧値  $V_e$  とし、 $V_r=0.8V_{da}$  とした場合)



(A) 書込み電圧 (V)

FIG. 19

安定した放電を得ることができる書き込み電圧  
(維持電圧を所定の電圧値  $V_e$  とし、位相差  $200\text{ns}$  とした場合)



(A) 書き込み電圧 (V)

FIG. 20

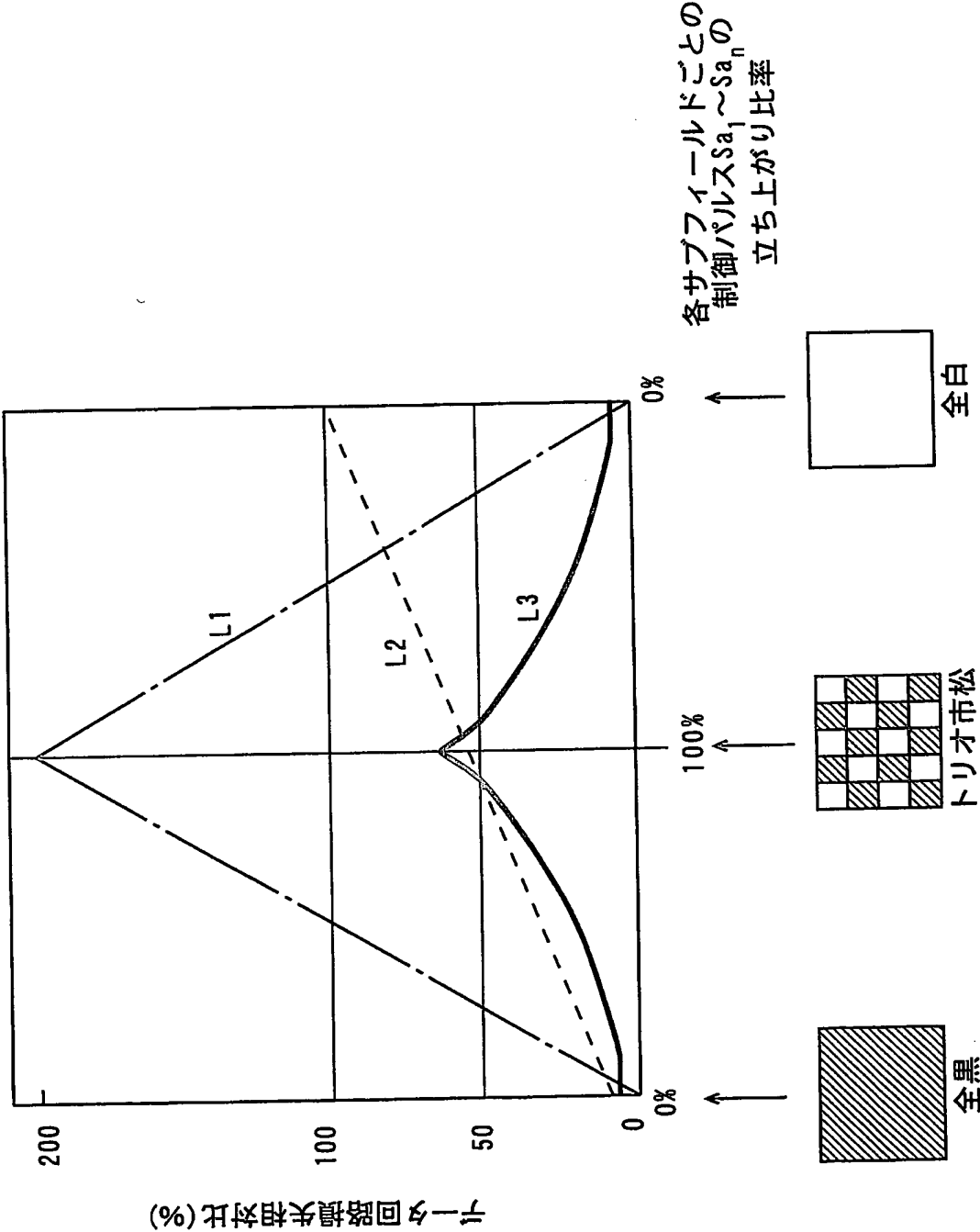


FIG. 21

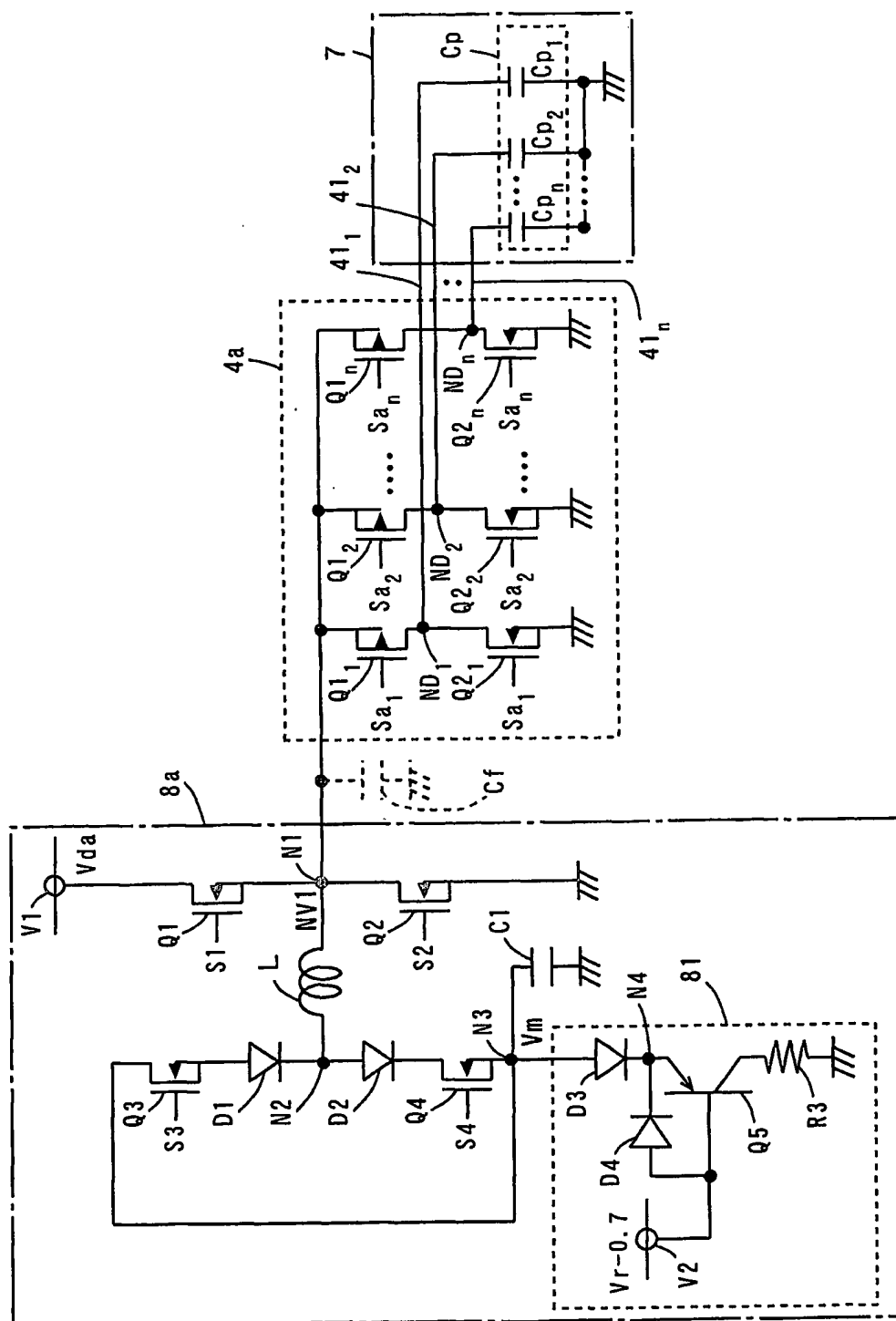


FIG. 22

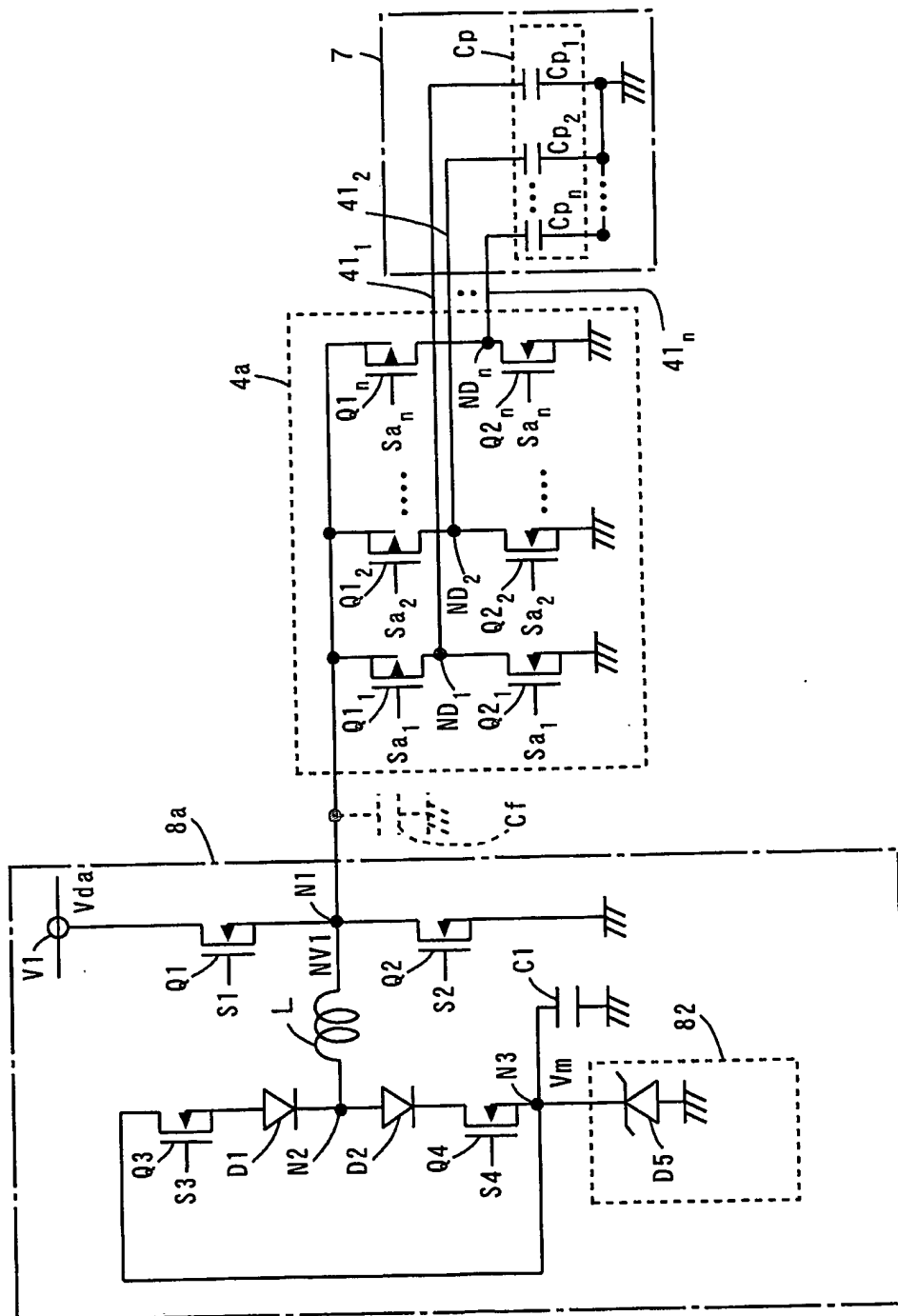


FIG. 23

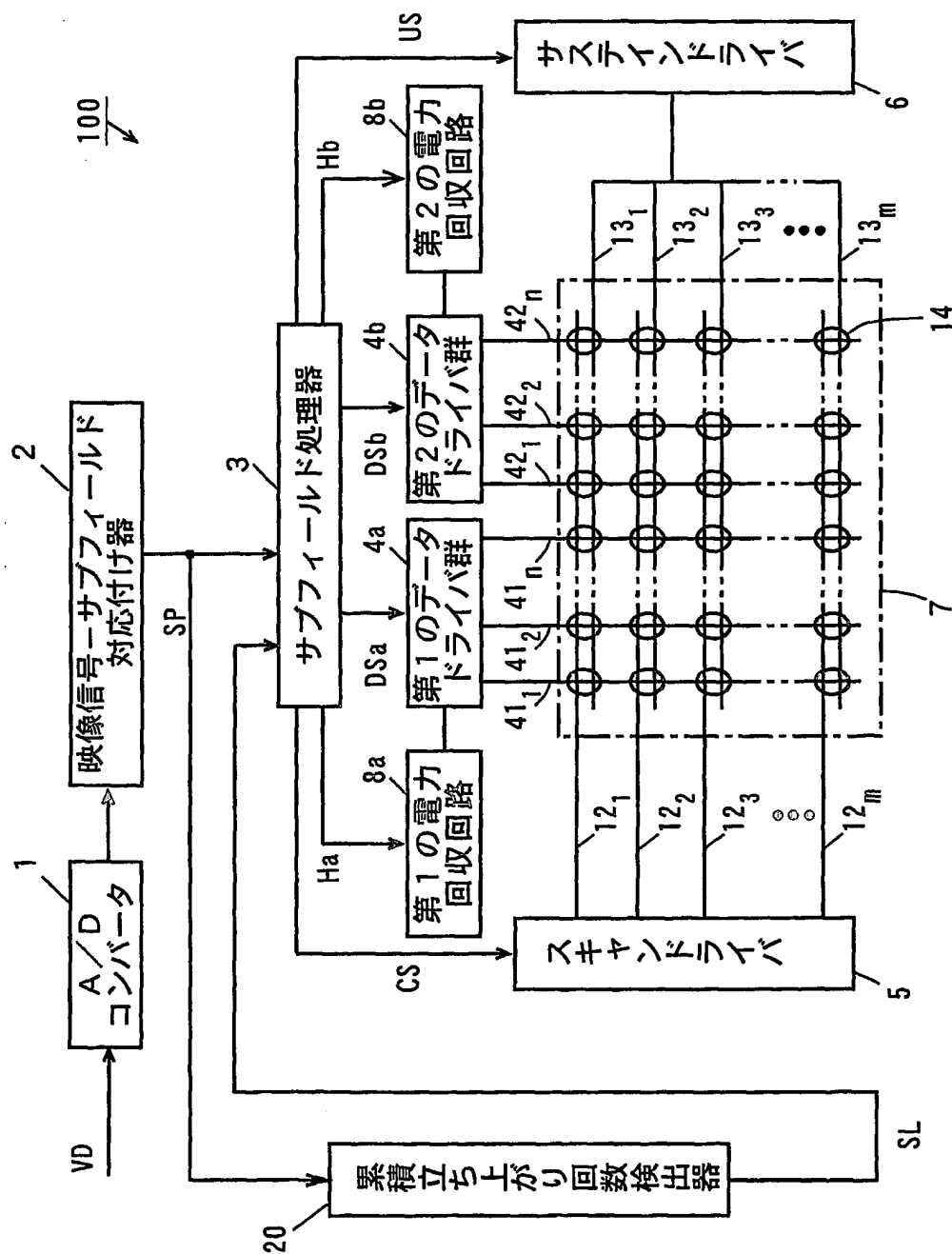




FIG. 24

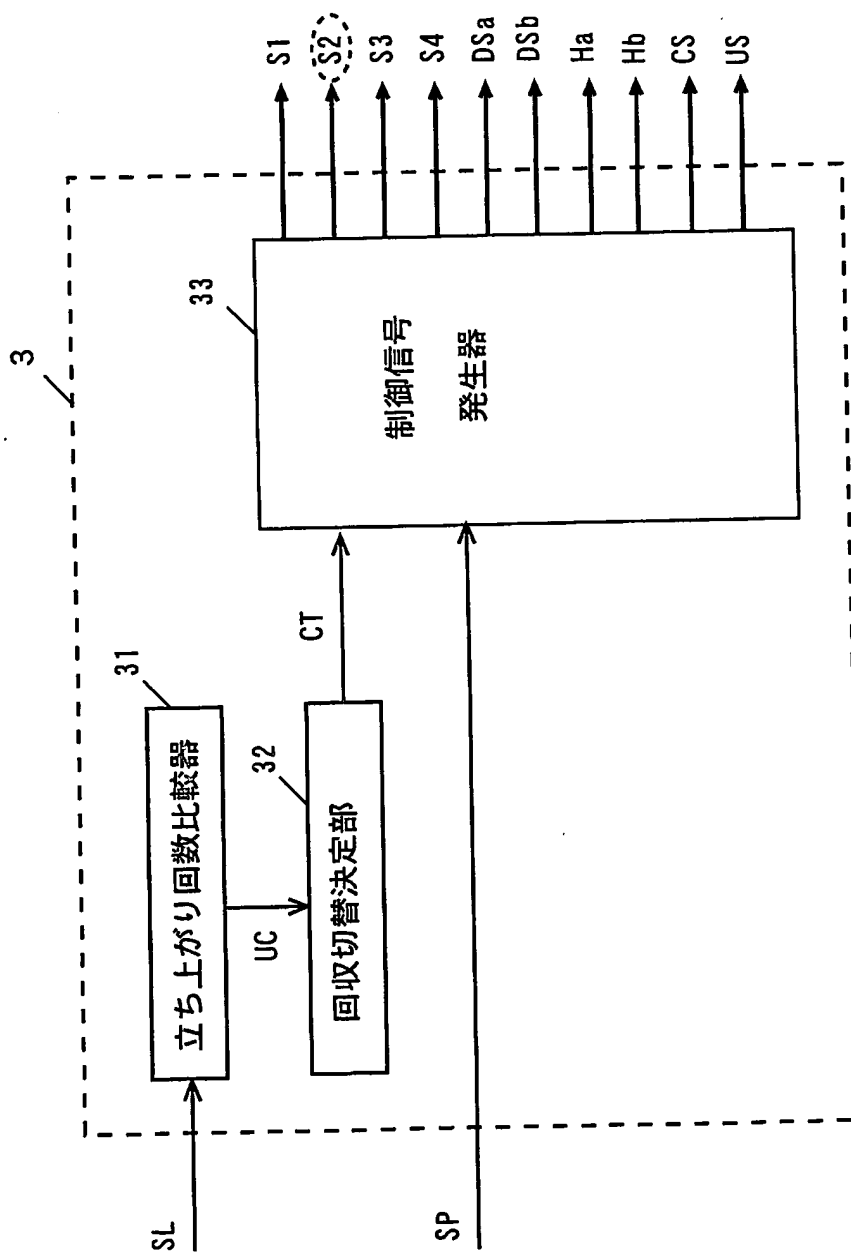


FIG. 25

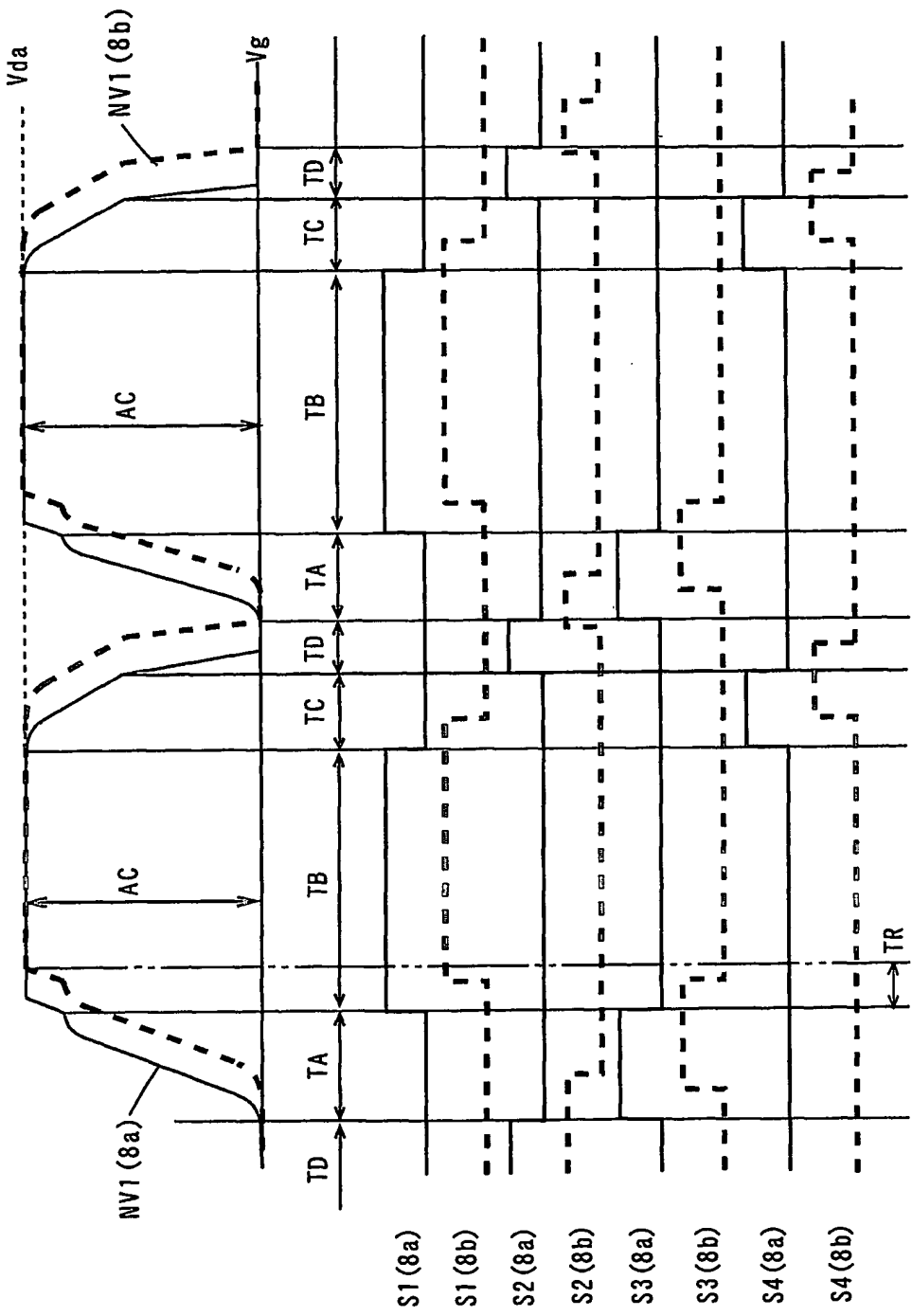


FIG. 26

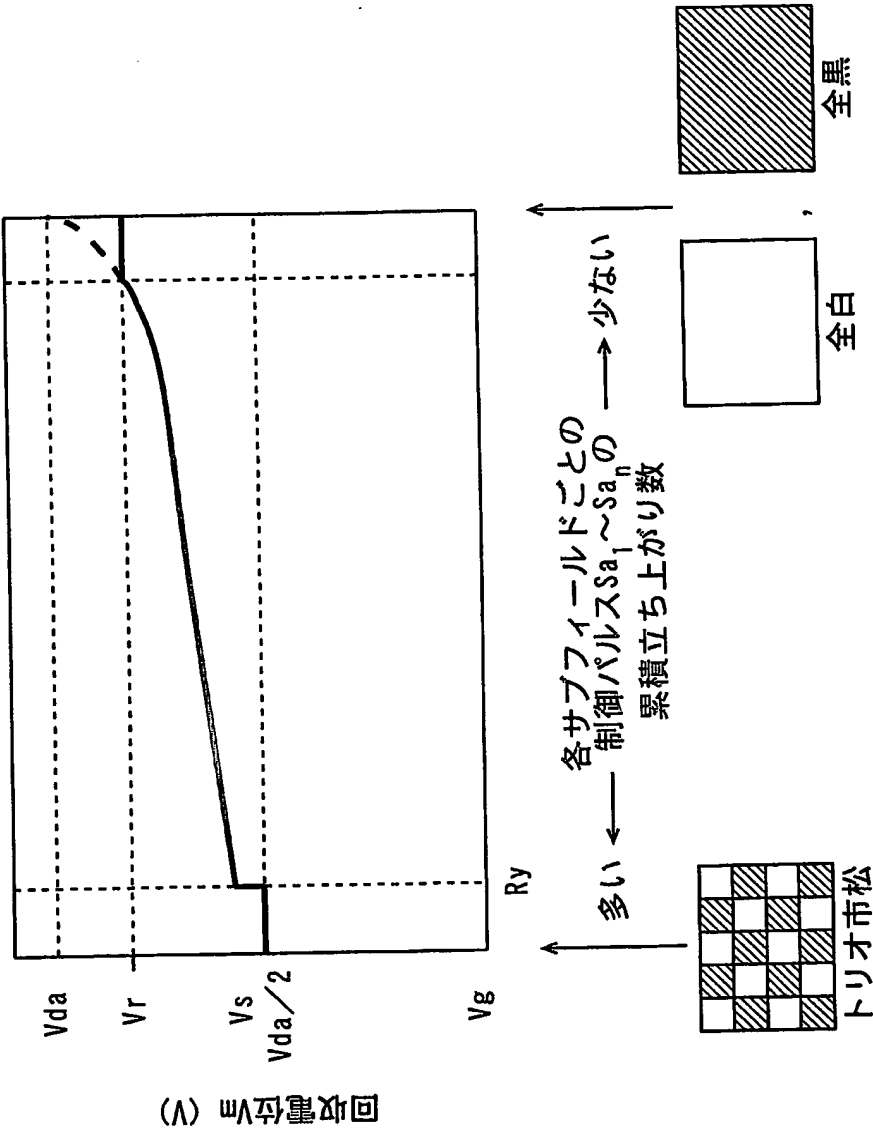


FIG. 27

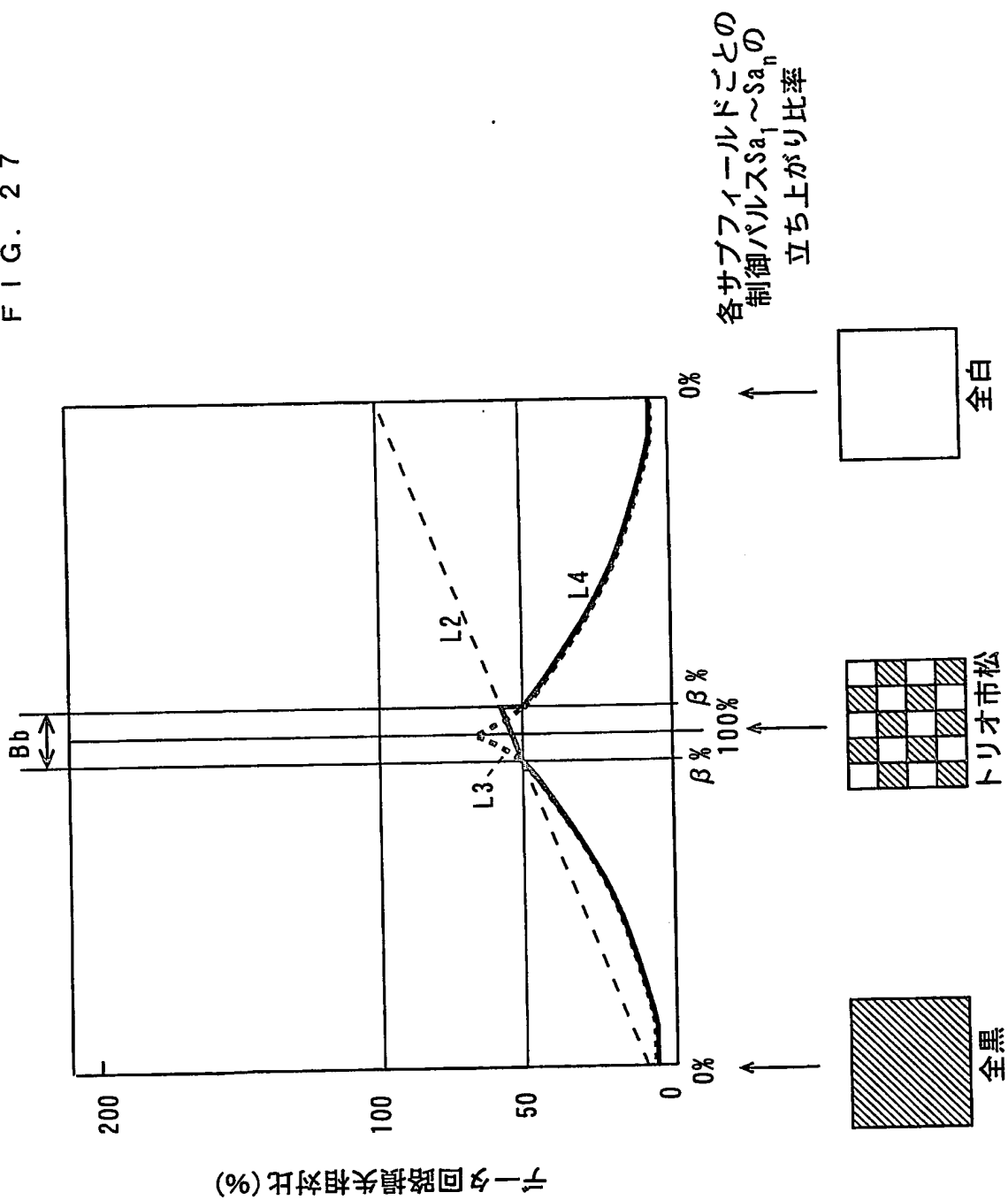


FIG. 28

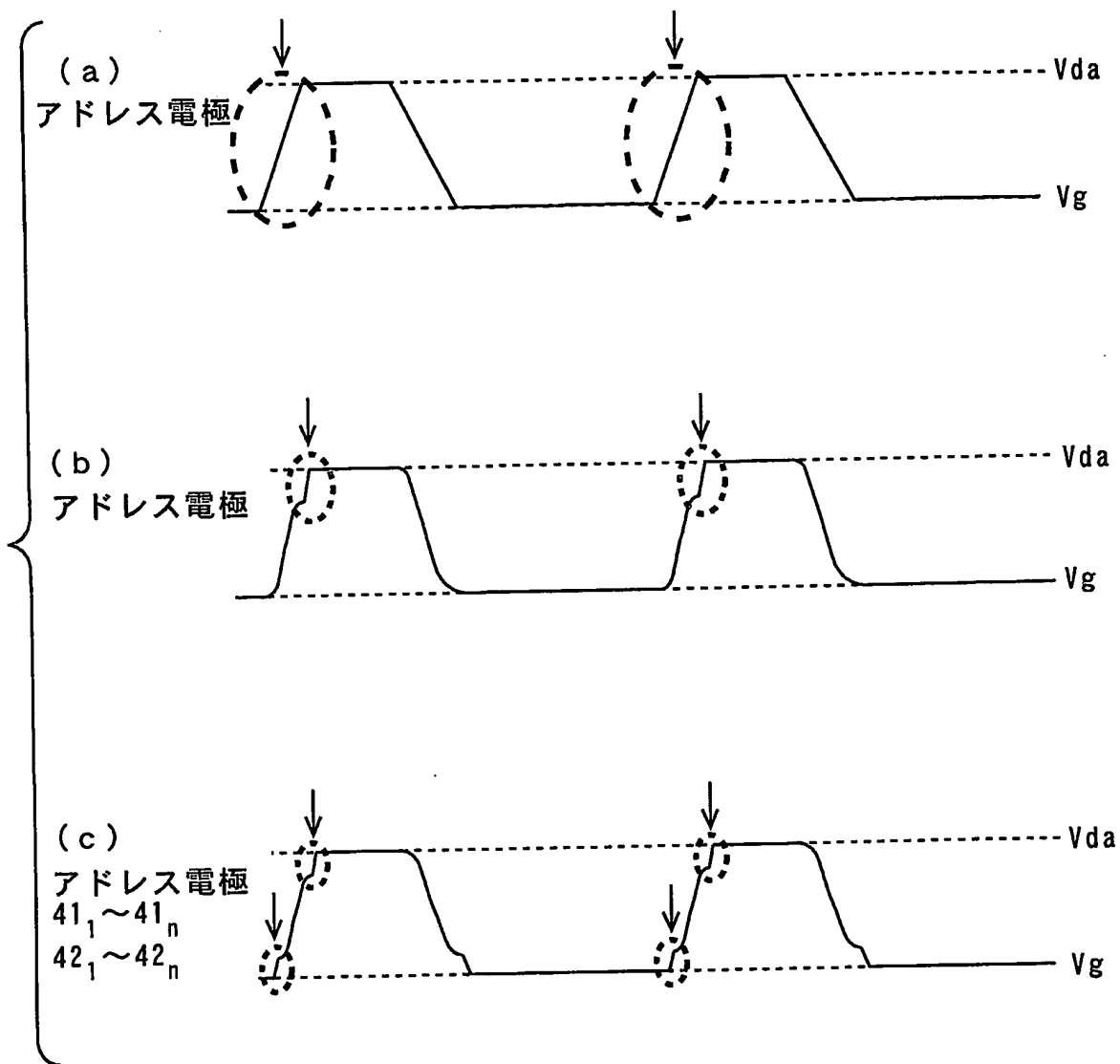


FIG. 29

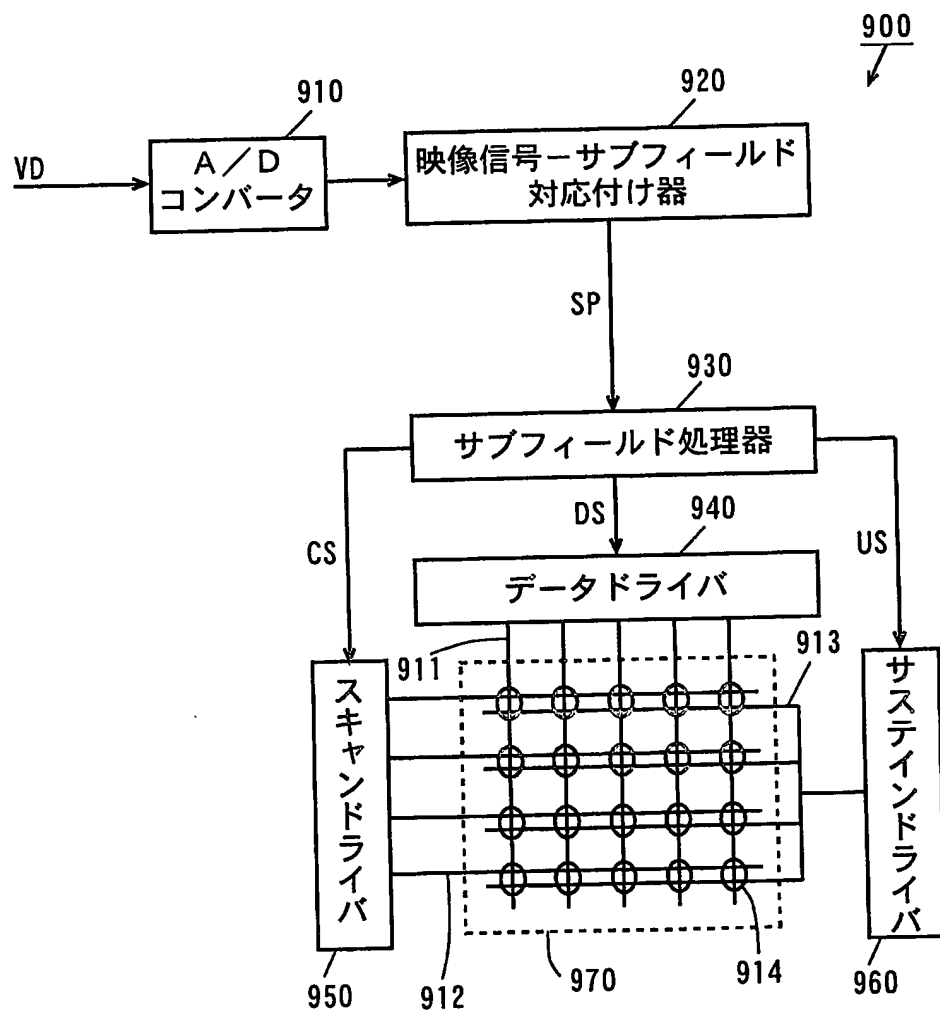


FIG. 30

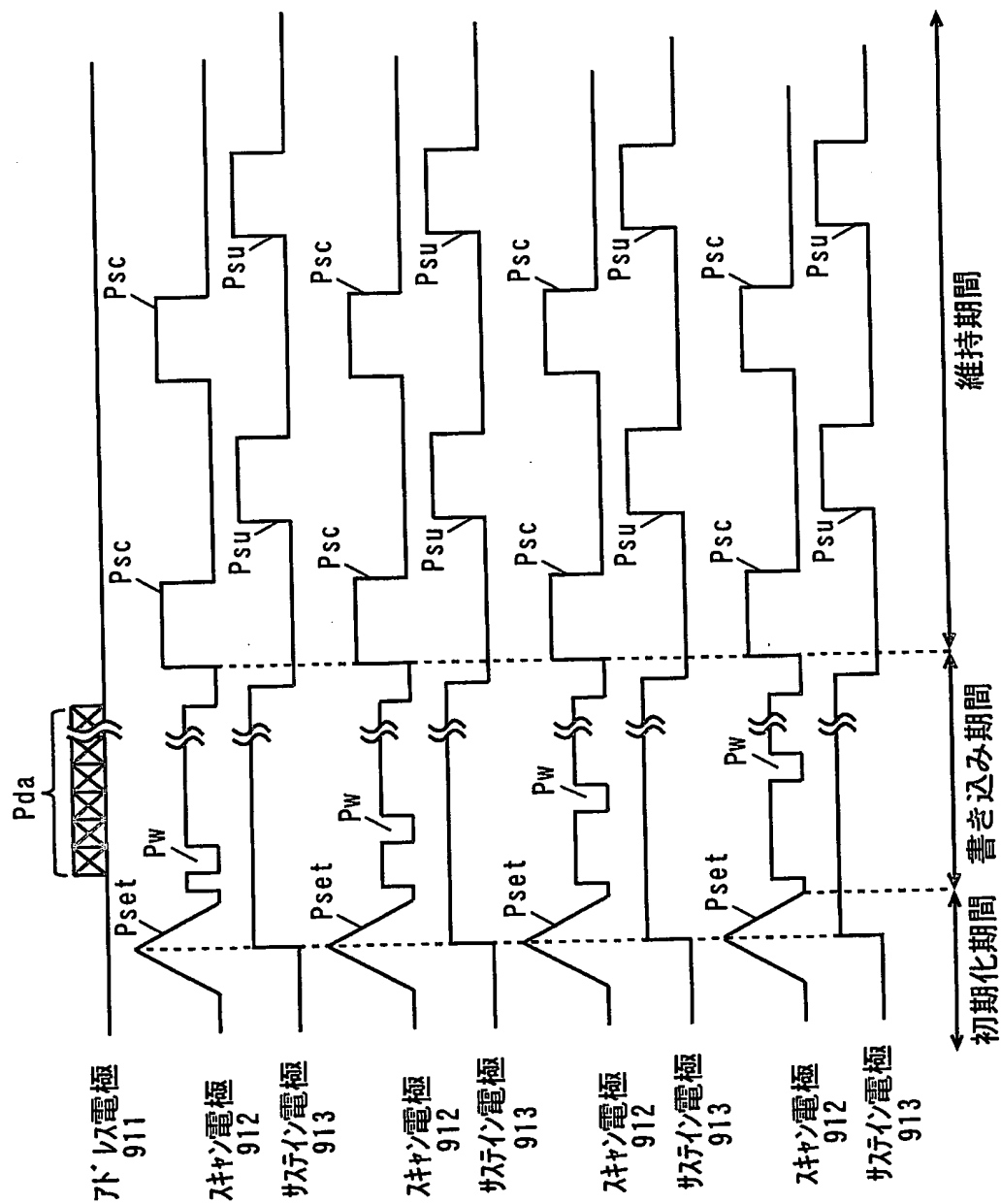


FIG. 31

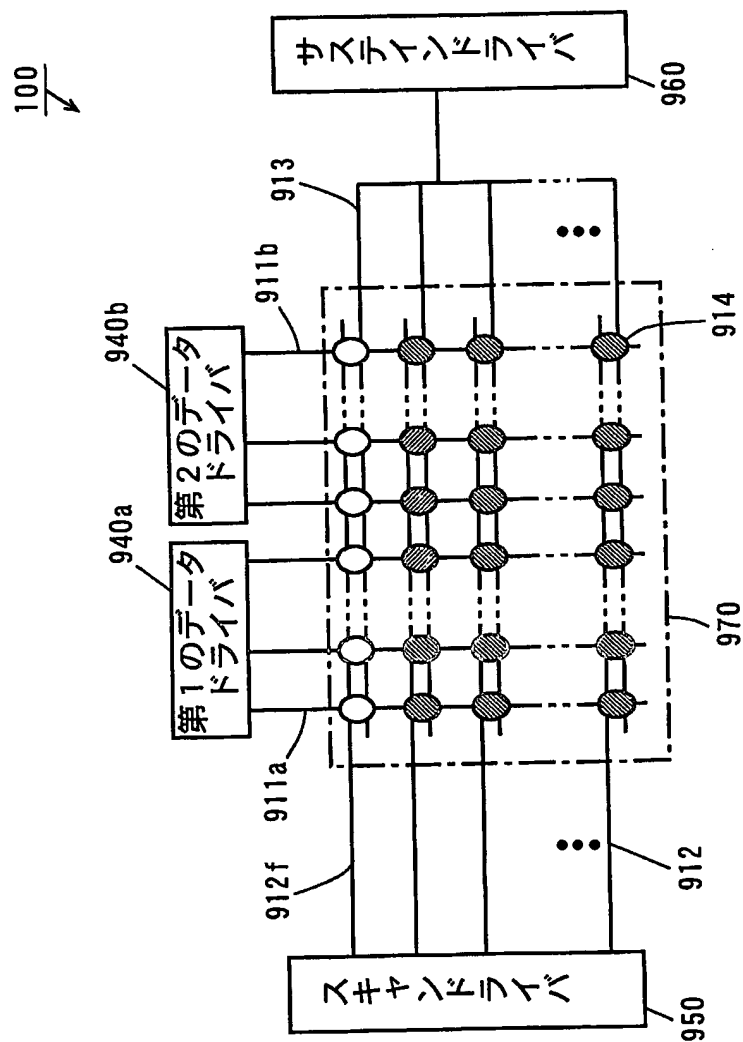




FIG. 32

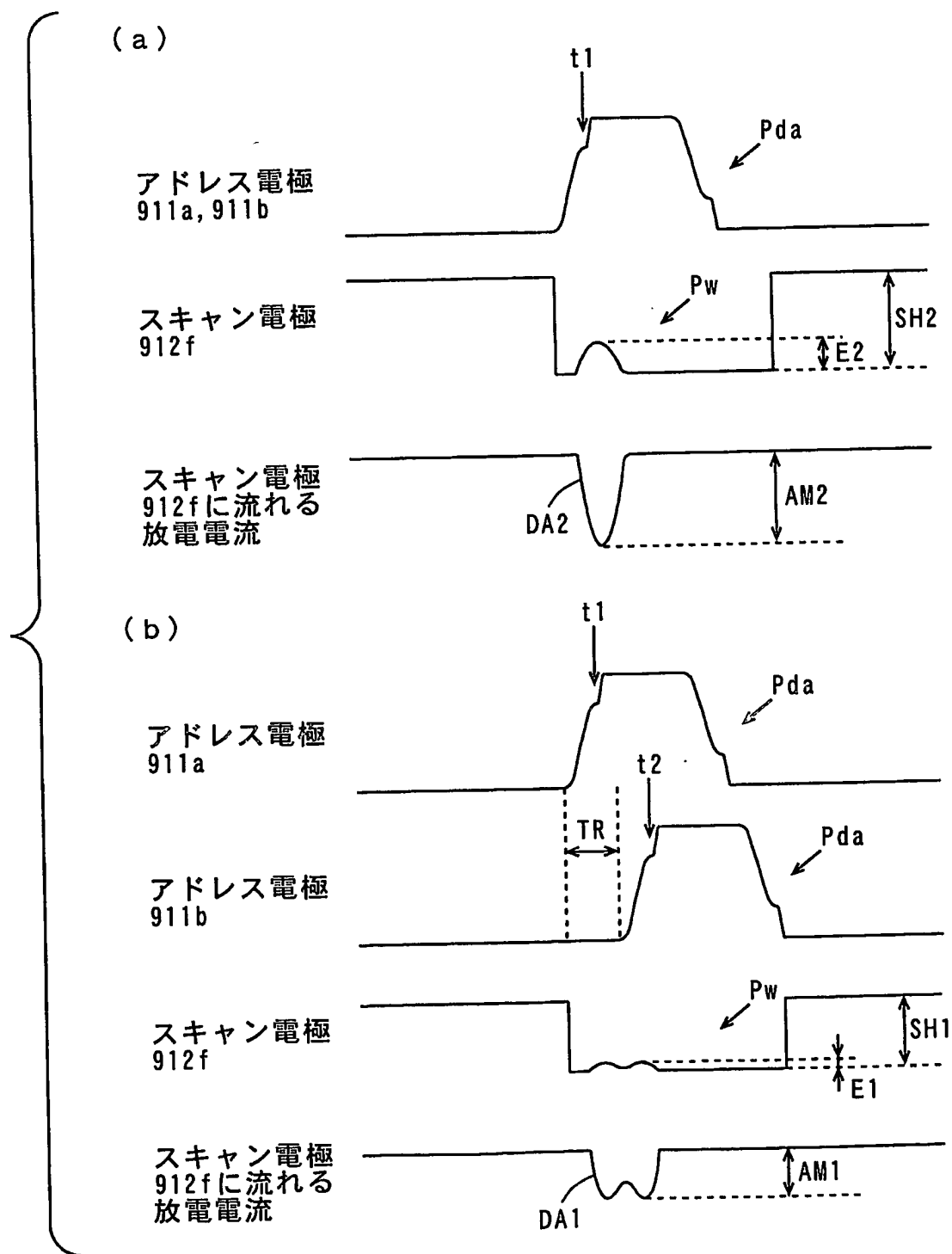


FIG. 33

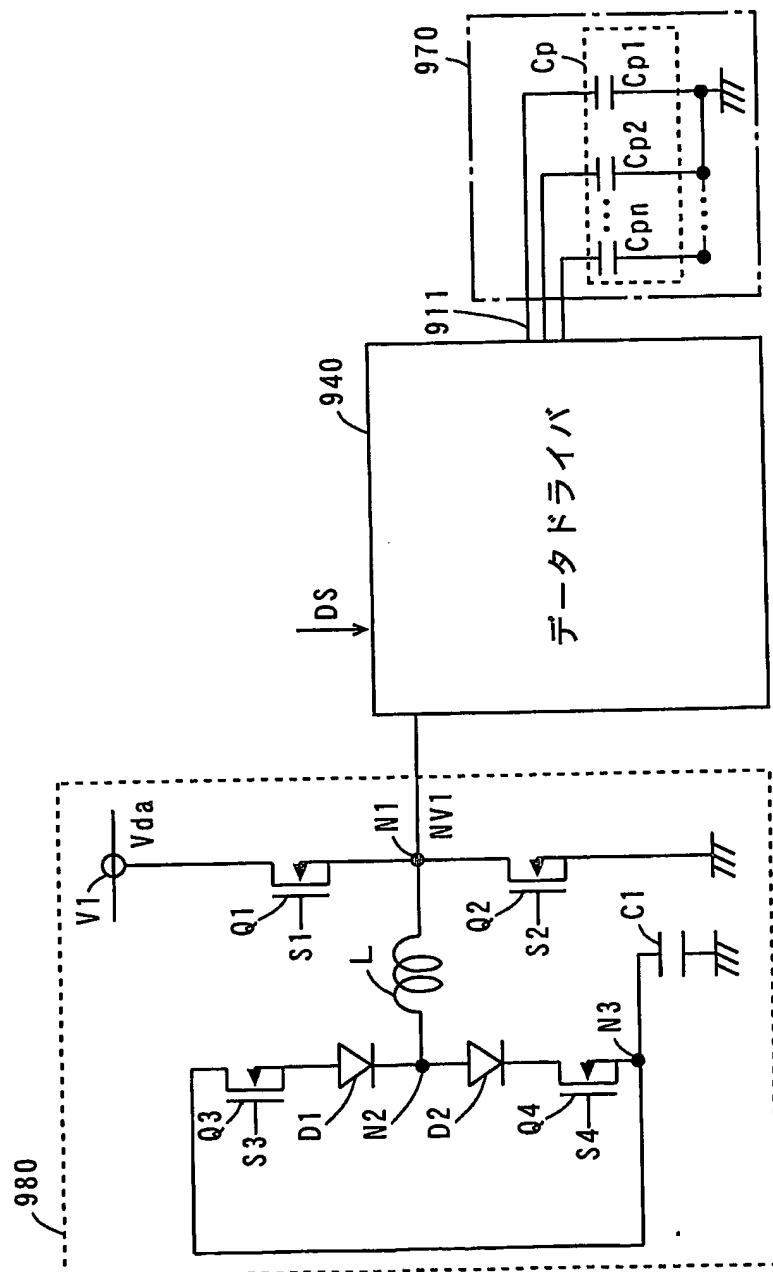


FIG. 34

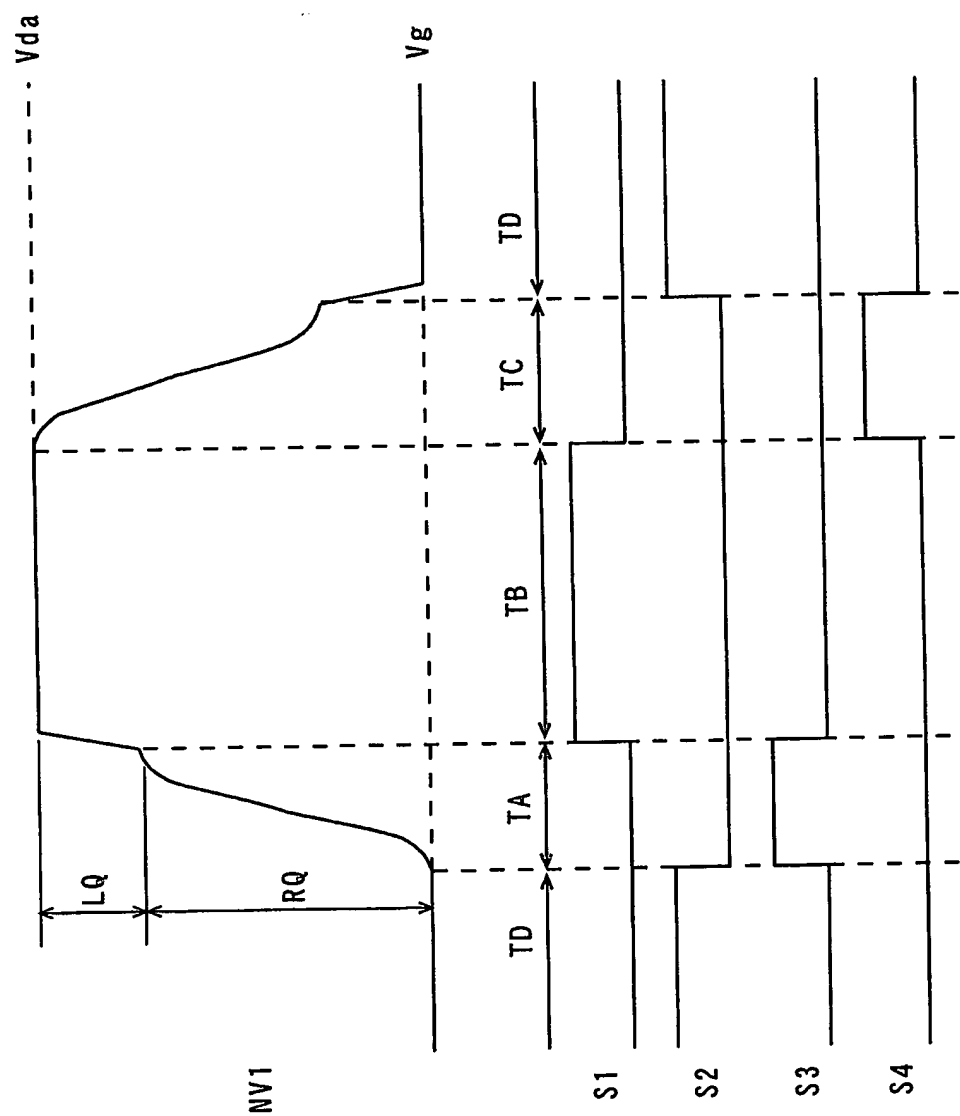


FIG. 35

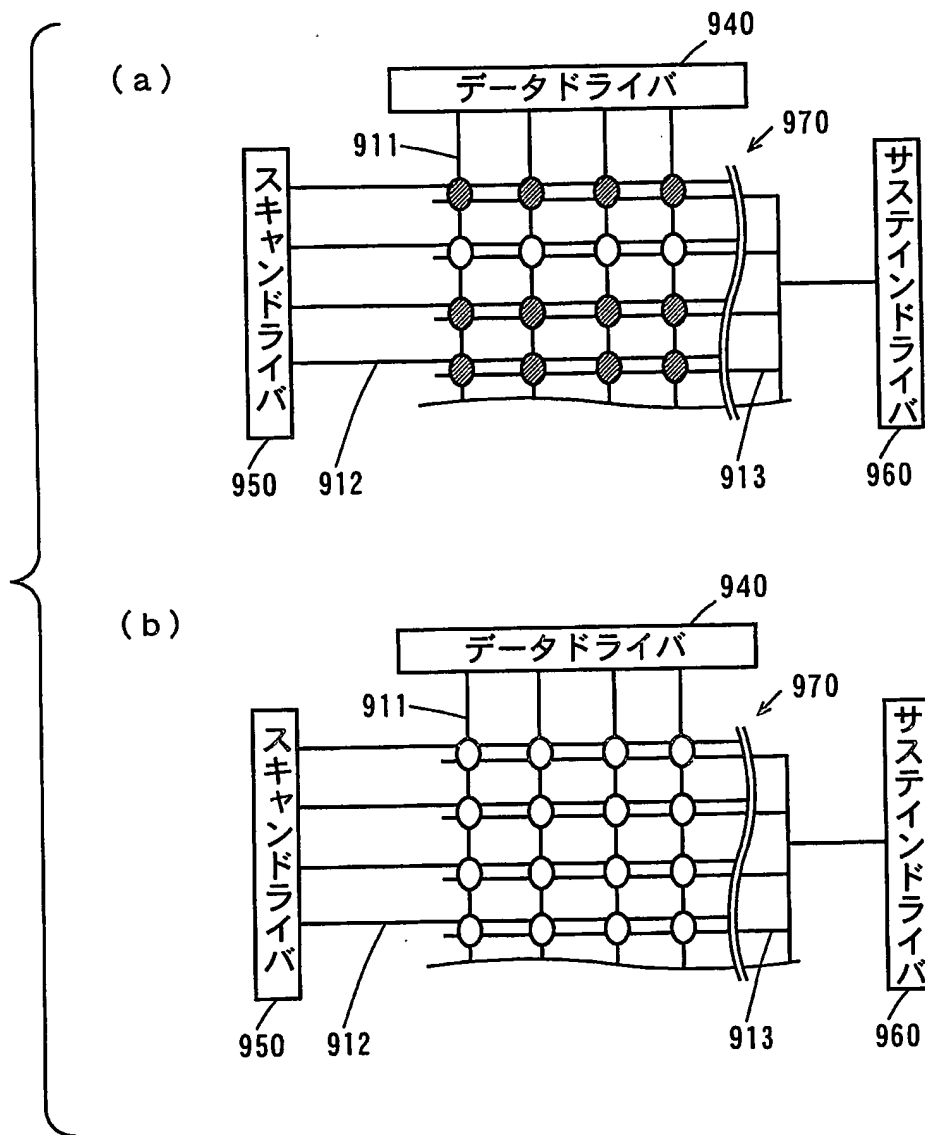
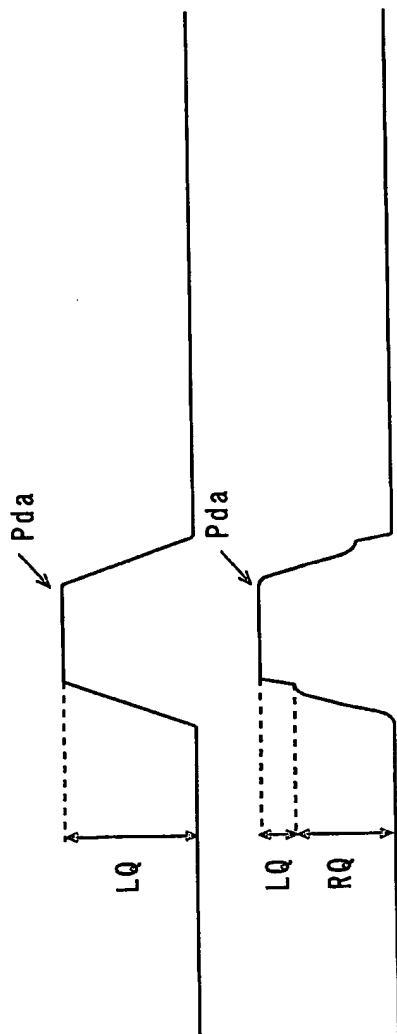
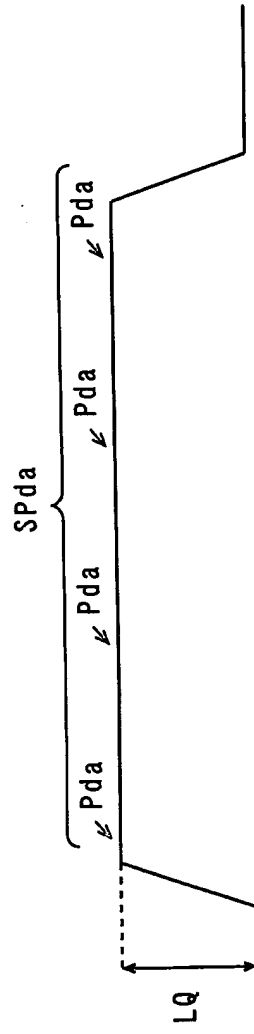


FIG. 36

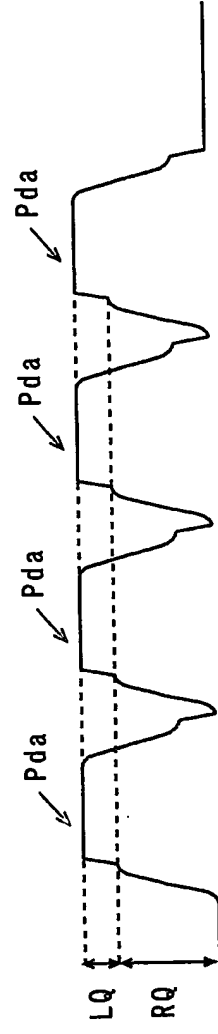
(a) アトノス電極  
911



(b) アトノス電極  
911



(c) アトノス電極  
911



(d) アトノス電極  
911

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009248

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G09G3/20, G09G3/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09G3/20, G09G3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-51648 A (NEC Corp.), 23 February, 2001 (23.02.01), Par. Nos. [0009] to [0058]; Figs. 1 to 4 (Family: none)	1-15, 19, 22
Y	JP 2002-156941 A (Pioneer Electronic Corp.), 31 May, 2002 (31.05.02), Par. Nos. [0034] to [0041]; Figs. 9 to 10 & CN 1348161 A & EP 1187088 A2 & KR 2002/020656 A & US 2002/047575 A1	1-15, 19, 22
Y	JP 7-222030 A (Canon Inc.), 18 August, 1995 (18.08.95), Par. No. [0005]; Fig. 9 (Family: none)	7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
30 September, 2004 (30.09.04)

Date of mailing of the international search report  
19 October, 2004 (19.10.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009248

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-70291 A (Fujitsu Ltd.), 30 March, 1988 (30.03.88), Page 5, lower right column, lines 4 to 10; Figs. 2, 5 & EP 249954 A2 & US 5517207 A1 & DE 3782858 A	7,9,10
Y	WO 99/53470 A (Mitsubishi Electric Corp.), 21 October, 1999 (21.10.99), Description, pages 36 to 39; Fig. 11 & EP 1018722 A1 & US 6400344 B1 & KR 2001/013487 A	11-12
A	JP 2000-206919 A (NEC Corp.), 28 July, 2000 (28.07.00), Par. Nos. [0034] to [0065]; Figs. 1 to 8 (Family: none)	16-18,20-21
A	JP 2000-242225 A (NEC Corp.), 08 September, 2000 (08.09.00), Par. Nos. [0058] to [0122]; Figs. 1 to 13 (Family: none)	16-18,20-21

## 国際調査報告

国際出願番号 PCT/J.P.2004/009248

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> G09G3/20, G09G3/28

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> G09G3/20, G09G3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-51648 A (日本電気株式会社) 2001.02.23, 段落番号【0009】-【0058】, 図 1-4 (ファミリーなし)	1-15, 19, 22
Y	JP 2002-156941 A (パイオニア株式会社) 2002.05.31 段落番号【0034】-【0041】, 図9-10 &CN 1348161 A &EP 1187088 A2 &KR 2002/020656 A &US 2002/047575 A1	1-15, 19, 22

☒ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日 30.09.2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J.P.)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
橋本 直明

2G 9707

電話番号 03-3581-1101 内線 3225



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-222030 A (キャノン株式会社) 1995. 08. 18, 段落番号【0005】, 図9 (ファミリーなし)	7
Y	JP 63-70291 A (富士通株式会社) 1988. 03. 30 公報第5頁右下欄第4行目-第10行目, 第2図, 第5図 &EP 249954 A2 &US 5517207 A1 &DE 3782858 A	7, 9, 10
Y	WO 99/53470 A (三菱電機株式会社) 1999. 10. 21, 明細書第36頁-第39頁, 第11図 &EP 1018722 A1 &US 6400344 B1 &KR 2001/013487 A	11-12
A	JP 2000-206919 A (日本電気株式会社) 2000. 07. 28, 段落番号【0034】-【0065】, 図 1-8 (ファミリーなし)	16-18, 20-21
A	JP 2000-242225 A (日本電気株式会社) 2000. 09. 08, 段落番号【0058】-【0122】, 図 1-13 (ファミリーなし)	16-18, 20-21